

## (12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関  
国際事務局(43)国際公開日  
2004年7月1日 (01.07.2004)

PCT

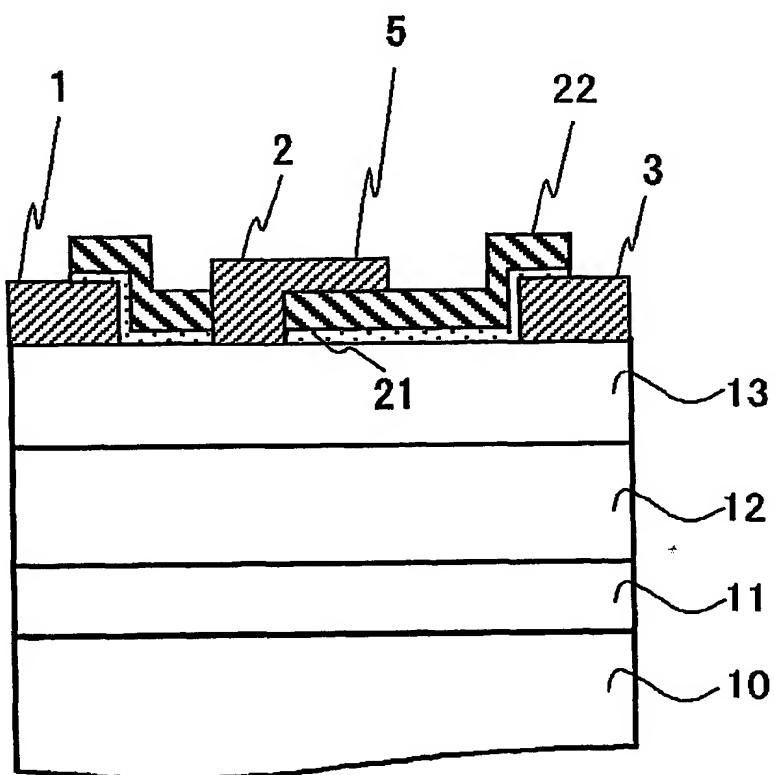
(10)国際公開番号  
WO 2004/055905 A1

(51) 国際特許分類<sup>7</sup>: H01L 29/812, 21/338  
 (21) 国際出願番号: PCT/JP2003/016034  
 (22) 国際出願日: 2003年12月15日 (15.12.2003)  
 (25) 国際出願の言語: 日本語  
 (26) 国際公開の言語: 日本語  
 (30) 優先権データ:  
   特願2002-364405  
   2002年12月16日 (16.12.2002) JP  
 (71) 出願人(米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 Tokyo (JP).  
 (72) 発明者: および  
 (75) 発明者/出願人(米国についてのみ): 岡本 康宏  
 (OKAMOTO,Yasuhiro) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 宮本 広信 (MIYAMOTO,Hironobu) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 安藤 裕二 (ANDO,Yuji) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 中山 達峰 (NAKAYAMA,Tatsuo) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 井上 隆 (INOUE,Takashi) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 葛原 正明 (KUZUHARA,Masaaki) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).  
 (74) 代理人: 速水 進治 (HAYAMI,Shinji); 〒150-0021 東京都渋谷区恵比寿西2-17-8 Tokyo (JP).  
 (81) 指定国(国内): CN, DE, KR, US.

[締葉有]

(54) Title: FIELD EFFECT TRANSISTOR

(54)発明の名称: 電界効果トランジスタ



(57) Abstract: A gate electrode (2) is provided with a field plate portion (5) which extends toward the drain side like an eave. A multilayer film composed of an SiN film (21) and an SiO<sub>2</sub> film (22) is formed under the field plate portion (5). The SiN film (21) is so formed as to cover the surface of an AlGaN electron supply layer (13).

(57) 要約: ゲート電極(2)に、ドレイン側にひさし状に張り出したフィールドプレート部(5)を形成する。フィールドプレート部(5)の下に、SiN膜(21)およびSiO<sub>2</sub>膜(22)からなる積層膜を形成する。SiN膜(21)はAlGaN電子供給層(13)の表面を覆うように形成する。



添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明細書

## 電界効果トランジスタ

## 5 技術分野

本発明は、III族窒化物半導体を用いた電界効果トランジスタに関するものである。

## 背景技術

10 GaNをはじめとするIII族窒化物半導体は、バンドギャップが大きく、絶縁破壊電界が高く、電子の飽和ドリフト速度が大きい上、ヘテロ接合による二次元キャリアガスの利用が可能であるため、高温動作、高速スイッチング動作、大電力動作等の点で優れる電子素子を実現する材料として期待を集めている。

15 こうしたIII族窒化物半導体を用いたトランジスタでは、基板表面に大きな負電荷が発生し、トランジスタ性能に大きな影響を与える。以下、この点について説明する。

アンドープGaNの上にAlGaNを成長すると、自発分極とピエゾ分極との両作用によりヘテロ界面に正の固定電荷が発生する。このときAlGaN表面には負の分極電荷が発生する。分極電荷濃度はAlGaNの組成によって変化するが、AlGaN/GaNヘテロ構造では、 $1 \times 10^{13}/\text{cm}^2$ オーダーの極めて大きなシート電子濃度が発生する。この現象は、例えば、非特許文献1において詳しく解説されている。このヘテロ構造にオームニック電極を形成し電極間に電界を印加すると、 $1 \times 10^{13}/\text{cm}^2$ オーダーの高電子濃度の電荷輸送に基づく電流が流れる。このように、III族窒化物半導体素子では、不純物のドーピングにより発生したキャリアにより駆動するGaaS系半導体FETとは異なり、自発分極とピエゾ分極との両作用により発生する高濃度のキャリアによって動作する。

このような機構により動作する III 族窒化物半導体トランジスタは、ピエゾ分極等によりチャネル層に大きな電荷が発生する一方、AlGaN 等の半導体層表面に負電荷が発生することが知られている（非特許文献 2）。こうした負電荷は、ドレイン電流に直接作用し、素子性能に強い影響を及ぼす。具体的には、表面に大きな負電荷が発生すると交流動作時の最大ドレイン電流が直流時に比べて劣化する。こうした現象は III 族窒化物半導体を用いた素子に特有のものであり、GaAs 系半導体素子では顕在化していなかった。AlGaAs/GaAs 系ヘテロ接合では分極電荷の発生は極めて小さいためである。

こうした問題に対し、従来、SiN からなる表面保護膜を形成することで対応がなされていた。SiN を設けない構造では高い電圧を印加した際に充分な電流が得られず、GaN 系半導体材料を用いるメリットを得ることが困難である。こうした事情を踏まえ、III 族窒化物半導体 FET の分野では、表面に SiN 膜を設けることが必須であるという共通認識があり、技術常識となっていた。以下、こうした従来のトランジスタの一例について説明する。

図 21 は、従来技術によるヘテロ接合電界効果トランジスタ（Hetero-Junction Field Effect Transistor；以下 HJFET という）の断面構造図である。このような従来技術の HJFET は、例えば非特許文献 3 に報告されている。この HJFET は、サファイア基板 109 の上に AlN バッファ層 111、GaN チャネル層 112 および AlGaN 電子供給層 113 がこの順で積層されている。その上にソース電極 101 とドレイン電極 103 が形成されており、これらの電極は AlGaN 電子供給層 113 にオーム性接触している。また、ソース電極 101 とドレイン電極 103 の間にゲート電極 102 が形成され、このゲート電極 102 は AlGaN 電子供給層 113 にショットキー性接触している。最上層には表面保護膜として SiN 膜 121 が形成されている。

ところで、III 族窒化物半導体 FET の特定用途においては、利得を維持しつつ耐圧をあげることが要望されている。耐圧を改良する方法として、G

a A s 系半導体の分野では、従来、ゲート電極のドレイン側にひさし状のフィールドプレートを設ける方法が知られている。本発明者による特許文献 1 には、こうした手法が記載されている。同文献には、フィールドプレートを設けることにより、ゲート電極のドレイン側端部における電界集中が緩和され、素子性能が向上することが記載されている。  
5

こうしたフィールドプレートを設ける構造と、S i N を保護膜として設けたG a N 系F E T の構造とを組み合わせたH J F E T が、非特許文献 3 に記載されている。

同文献には、ゲート電極のドレイン側にひさし状のフィールドプレートを設け、この下にS i N 膜を配置した構成が記載されている。図 2 2 に、このH J F E T の概略構造を示す。このH J F E T は、S i C 基板 1 1 0 上に形成される。S i C 基板 1 1 0 上には半導体層からなるバッファ層 1 1 1 が形成されている。このバッファ層 1 1 1 上にG a N チャネル層 1 1 2 が形成されている。チャネル層の上には、A 1 G a N 電子供給層 1 1 3 が形成されている。この電子供給層上にはオーム性接触がとられたソース電極 1 0 1 およびドレイン電極 1 0 3 があり、その間にドレイン側にひさし状に張り出したフィールドプレート部 1 0 5 を有し、ショットキー性接触がとられたゲート電極 1 0 2 がある。A 1 G a N 電子供給層 1 1 3 の表面はS i N 膜 1 2 1 で覆われており、フィールドプレート部 1 0 5 の直下にはこのS i N 膜 1 2 1 が配置されている。同文献によれば、こうした構成を採用することにより耐圧が改善されると記載されている。  
10  
15  
20

非特許文献 1 . U.K. Mishra, P. Parikh, and Y.-F. Wu, "AlGaN/GaN HEMTs -An overview of device operation and applications," Proc. IEEE, vol. 90, No. 6, pp. 1022-1031, 2002.

25 非特許文献 2 . 2 0 0 1 年インターナショナル・エレクトロン・デバイス・ミーティング・ダイジェスト (IEDM01-381~384)、安藤 (Y. Ando)

非特許文献 3 . 2 0 0 1 年エレクトロニクス・レターズ (Electronics

Letters vol. 37 p. 196-197)、L i 等

特許文献 1. 特開 2000-100831 号公報

### 発明の開示

5 ところが、非特許文献 3 に記載の構成を採用した場合、従来知られていなかつた新たな課題が生じることが本発明者の検討により明らかになった。

III 族窒化物半導体によりトランジスタを構成する場合、その材料特性を充分に生かす観点から、以下の特性の両立が望まれる。

(i) コラプスの低減

10 (ii) ゲート耐圧の改善

(iii) フィールドプレート直下絶縁膜の膜質経時劣化の抑制による信頼性向上

(iv) 容量の低減による高周波利得の改善

ここで、コラプスとは、H J F E T が大信号動作する際に、表面トラップの応答によって表面に負電荷が蓄積された状態になり、最大ドレイン電流が抑制される現象である。コラプスが顕著になると大信号動作時のドレイン電流が抑制されるため、飽和出力が低下する。

20 非特許文献 3 に記載の構成を採用した場合、表面電荷の影響を排除する膜として利用する S i N が、フィールドプレート直下の領域を占めていることに起因して、上記(i)から(iv)を両立させることは事実上きわめて困難となる。以下、この点について段階をおって説明する。

前述したように AlGaN/GaN H J F E T 等においては、ドレイン電流の低下を抑制するため、通常、S i N 保護膜を半導体層の最上層に形成する構成が採用される。ところが、S i N 膜を設けるとコラプスが改善する代わりにゲート耐圧が低下する。すなわち、コラプス量とゲート耐圧の間にトレードオフが存在し、その制御が非常に困難となる。図 23 は、フィールドプレートを設けない図 21 の構造を有する H J F E T を試作し、表面保護膜 S i N の厚さとコラプス量およびゲート耐圧の関係を評価した結果を示

す。

このようにコラプスが顕著な素子の表面に SiN 膜を形成すると、コラプス量を減らすことができる。図 23 を参照して、SiN 膜がない場合（膜厚 0 nm）では 60 % 以上のコラプス量であるが、SiN 膜厚 100 nm とした場合、コラプス量は 10 % 以下に抑制できる。このようにコラプスを充分に低減するためには、SiN 膜の厚みを一定程度厚くすることが必要となる。しかしながら、SiN 膜を厚くした場合、表面負電荷が打ち消され、ゲートードレイン間の電界集中が顕著になり、ゲート耐圧が低下する。すなわち、コラプスとゲート耐圧の間にトレードオフが存在する。

くわえて、コラプスを充分に低減するために SiN 膜を厚くした場合、フィールドプレート直下絶縁膜の膜質経時劣化により信頼性が低下する。すなわち、コラプスと信頼性に関してトレードオフが存在する。

以上のように、SiN 膜を保護膜とする GaN 系 HJFET では、こうした複数のトレードオフが存在し、それぞれ SiN 膜の厚さの違いによってそのバランスが定まる。こうしたトレードオフは GaN 系デバイスに特有の現象である。

なお、SiN 膜に代え、SiO<sub>2</sub> 膜を保護膜とする場合、コラプスとゲート耐圧の関係は図 38 のようになる。膜厚依存性は現れないが、SiN 膜を用いた場合と同様、コラプスとゲート耐圧を両立させることは困難である。

こうしたトレードオフは、前述の非特許文献 3 に記載のフィールドプレートを設けた構成においても依然存在する。すなわち、かかる構成によれば上記(i)～(iv)のうち、コラプスの改善について一定の効果が得られるが、その一方、ゲート耐圧が低下するため、コラプスとゲート耐圧のトレードオフのバランスを有效地に改善することは困難である。

くわえて、コラプスや利得と信頼性とのトレードオフの解消はさらに困難となる。利得低下を抑制し、コラプスを充分に低減するためには、フィールドプレート直下の SiN 膜を一定程度厚くする必要があるが、このとき、フィールドプレート直下絶縁膜の膜質経時劣化による信頼性低下が顕著にな

る。

以上のように、SiN膜を保護膜とするGaN系HJFETにおいてフィールドプレートを設けても、III族窒化物半導体素子に特有のトレードオフの問題を有効に解決することは困難である。

また、非特許文献3記載のトランジスタのようにフィールドプレート直下の領域にSiN膜を配した場合、高電界印加時にSiN膜の膜質が劣化することがある。SiN膜は、その材料の特質により、III族窒化物半導体層に成膜した場合、膜中に大きな内部応力が発生する。この内部応力により、電界印可による膜質の経時劣化が顕著に発生し、極端な場合、フィールドプレート下の領域でリークが発生することもある。

本発明は上記事情に鑑みなされたものであって、その目的とするところは、コラプスおよびゲート耐圧のバランスに優れたトランジスタを提供することにある。また本発明の別の目的は、コラプスおよびゲート耐圧の性能のバランスにくわえ、さらに、信頼性および高周波特性の優れるトランジスタを提供することにある。

A1GaN表面に発生する負の分極電荷は、その上に堆積する保護膜(パッシベーション膜)の電気的性質によってそのFET特性に大きな影響を与える。一般に表面に大きな負の固定電荷が存在すると、大きなゲート耐圧が得られるが、交流動作時の最大ドレン電流が直流時に比べて劣化する傾向が見られる。一方、表面の負電荷量が小さいと、逆にゲート耐圧は小さいが交流動作時の最大ドレン電流の劣化も少ない。FETの動作は、一般にこのトレードオフ関係に支配されるが、A1GaN/GaNヘテロ構造では、表面に $1 \times 10^{13} / \text{cm}^2$ オーダーの負電荷が発生するため、表面パッシベーションの品質により、前述のトレードオフ関係が極めて顕著に現れる。耐圧の値が、表面パッシベーションの状態の違いにより1桁以上変化することも珍しくない。このように大きな変化は、GaN系FETでは見られない現象である。逆にいえば、GaN系FETは表面状態に極めて敏感なデバイスであり、その電気特性において高い性能を高歩留まりで安定的に得るために

は、表面パッシベーション膜の制御に細心の注意を払う必要がある。

本発明者は、こうした観点から検討を進め、フィールドプレートを備えるゲート電極構造にするとともに、フィールドプレート直下の層構造を特定の構造とすることにより、これらの相乗作用により前記したトレードオフにおける性能のバランスを有効に改善できることを見いだした。さらに、フィールドプレート直下を上記のような特定の層構造とした場合、このフィールドプレートが、表面状態の変動による性能のばらつきを有効に抑制するという従来知られていなかった機能を果たすことを見いだした。本発明は、こうした新規な知見に基づきなされたものである。

以下、本発明の構成について説明する。

本発明によれば、ヘテロ接合を含む III 族窒化物半導体層構造と、該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、前記 III 族窒化物半導体層上に形成された絶縁膜と、を備え、前記ゲート電極は、前記ドレイン電極側にひさし状に張り出し前記絶縁膜上に形成されたフィールドプレート部を有し、前記絶縁膜は、シリコンおよび窒素を構成元素として含む化合物により構成された第一の絶縁膜と、前記第一の絶縁膜よりも低い比誘電率を有する第二の絶縁膜と、を含む積層膜であることを特徴とする電界効果トランジスタが提供される。

本発明によれば、フィールドプレート部を備えるとともに、このフィールドプレート部と半導体層構造の表面との間に、上記構成の積層膜が形成された構成を有している。このため、これらの相乗作用により、コラプスおよびゲート耐圧のバランスが顕著に改善される。また、製造プロセス上等のばらつきにより表面状態が変動した場合でも、こうした良好な性能を安定して実現することができる。

また、本発明は、表面負電荷の影響を低減するための第一の絶縁膜を設けつつ、フィールドプレート部直下の容量を低減するための第二の絶縁膜を設けている。すなわち、第一の絶縁膜の作用により表面負電荷の影響が低減さ

れる一方、第一の絶縁膜よりも低い比誘電率を有する第二の絶縁膜によりフィールドプレート部直下の電界が低減される。この結果、フィールドプレート部下の領域における絶縁膜の膜質経時劣化および容量の増大を有効に抑制することができ、信頼性および高周波利得に優れるトランジスタが得られる。

5

ここで、前記第一の絶縁膜は、前記第二の絶縁膜が前記第一の絶縁膜上に積層された構成とすることができる。こうすることによりコラプスの改善がより顕著となる。第一の絶縁膜は、好ましくは150 nm以下、より好ましくは100 nm以下とする。こうすることによって、フィールドプレート部下の容量を確実に低減でき、高周波利得が向上する。また、前記第一の絶縁膜は、前記半導体層構造の表面に接して形成することができる。こうすることにより、コラプスの改善がより顕著となる。

10

本発明において、第二の絶縁膜の比誘電率を3.5以下としてもよい。こうすることによって、フィールドプレート部下の容量を低減でき、さらに利得が向上する。また、本発明において、前記第一の絶縁膜および前記第二の絶縁膜を含む積層膜からなる前記絶縁膜は前記ゲート電極から離間して形成されており、前記絶縁膜と前記ゲート電極との間に前記第二の絶縁膜が設けられている構成としてもよい。さらに、前記絶縁膜と前記ゲート電極との間に設けられた前記第二の絶縁膜は前記フィールドプレート部の下部に位置し、前記第一の絶縁膜および前記第二の絶縁膜を含む積層膜からなる前記絶縁膜は、前記フィールドプレート部のドレイン側端部と前記ドレイン電極との間に位置している構成としてもよい。

15

20

また、上記構成のトランジスタにおいて、前記第二の絶縁膜上に、シリコンおよび窒素を構成元素として含む化合物により構成された第三の絶縁膜をさらに備えた構成としてもよい。絶縁膜の最上層をシリコンおよび窒素を構成元素として含む化合物により構成することにより、この素子の製造工程においてレジストを安定的に形成しやすくなる等の利点が得られる。この結果、上記のように性能が改善されたトランジスタを製造する際の歩留まり

25

を向上させることができる。

さらに本発明によれば、ヘテロ接合を含む III 族窒化物半導体層構造と、該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、前記 III 族窒化物半導体層上に形成された絶縁膜と、を備え、前記ゲート電極は、前記ドレイン電極側にひさし状に張り出し前記絶縁膜上に形成されたフィールドプレート部を有し、前記絶縁膜は、シリコン、窒素および酸素を構成元素として含む化合物により構成されていることを特徴とする電界効果トランジスタが提供される。

本発明によれば、フィールドプレート部を備えるとともに、このフィールドプレート部と半導体層構造の表面との間に、上記構成の絶縁膜が形成された構成を有している。この絶縁膜の材料は、シリコン、窒素にくわえ、酸素を構成元素として含むため、SiN に比べ膜中の内部応力が顕著に低減される。このため、比較的良好なコラプスおよびゲート耐圧を実現しつつ、フィールドプレート部直下の領域に位置する絶縁膜の膜質劣化を有効に抑制することができる。また、SiN に比べて比誘電率が低くなるため、フィールドプレート部下の領域に発生する容量を低減できる。以上により、本発明によれば、信頼性および高周波利得に優れるトランジスタが得られる。

また本発明によれば、ヘテロ接合を含む III 族窒化物半導体層構造と、該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、前記 III 族窒化物半導体層上に形成された絶縁膜と、を備え、前記ゲート電極は、前記ドレイン電極側にひさし状に張り出し前記絶縁膜上に形成されたフィールドプレート部を有し、前記絶縁膜は、比誘電率 3.5 以下の絶縁膜であることを特徴とする電界効果トランジスタが提供される。

本発明によれば、フィールドプレート部を備えるとともに、このフィールドプレート部と半導体層構造の表面との間に、上記構成の低誘電率膜が形成されている。フィールドプレート部直下の領域に低誘電率膜が形成されてい

るため、この領域に位置する絶縁膜に高電圧が印加されることを回避できる。これにより、フィールドプレート部下の絶縁膜の膜質経時劣化が有効に抑制され、素子の信頼性が顕著に向向上する。また、低誘電率膜の利用により、フィールドプレート部、半導体層構造およびこれらの間の絶縁膜により構成される容量を小さくすることができるので、高周波利得も改善される。この結果、本発明によれば、特にゲート耐圧と、信頼性および高周波利得との性能バランスに優れるトランジスタが得られる。なお、本発明における比誘電率3.5以下以下の絶縁膜は単層膜でも積層膜でもよく、比誘電率の平均値が3.5以下であればよい。

さらに本発明によれば、ヘテロ接合を含むIII族窒化物半導体層構造と、該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、前記III族窒化物半導体層上に形成された絶縁膜と、を備え、前記ゲート電極は、前記ドレイン電極側にひさし状に張り出し前記絶縁膜上に形成されたフィールドプレート部を有し、前記絶縁膜は、前記ゲート電極側は比誘電率4以下の絶縁材料により構成され、前記ドレイン電極側はシリコンおよび窒素を構成元素として含む絶縁材料により構成されていることを特徴とする電界効果トランジスタが提供される。

本発明によれば、フィールドプレート部直下には比較的誘電率の低い絶縁膜が設けられているため、フィールドプレート部、半導体層構造およびこれらの間の絶縁膜により構成される容量を小さくすることができる。この結果、ゲート耐圧と、信頼性および高周波利得との性能バランスに優れるトランジスタが得られる。また、フィールドプレート部の形成されていないゲート、ドレイン間の領域には、シリコン、窒素および酸素を構成元素として含む化合物、たとえばSiNが形成されているため、表面負電荷による性能低下を低減することができる。なお、本発明における比誘電率4以下の絶縁膜は単層膜でも積層膜でもよく、比誘電率の平均値が4以下であればよい。この発明において、上記絶縁膜のドレイン電極側は、シリコン、窒素および酸素を

構成元素として含む絶縁材料、たとえばSiONにより構成されていてもよい。こうすることによって、ゲート耐圧と、信頼性および高周波利得との性能バランスをより改善することができる。

また本発明によれば、ヘテロ接合を含むIII族窒化物半導体層構造と、該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、前記III族窒化物半導体層上に形成された絶縁膜と、を備え、前記ゲート電極は、前記ドレイン電極側にひさし状に張り出し前記絶縁膜上に形成されたフィールドプレート部を有し、前記フィールドプレート部、前記III族窒化物半導体層およびこれらに挟まれた前記絶縁膜とで構成される容量の誘電率が、前記ゲート電極側よりも前記ドレイン電極側の方が低いことを特徴とする電界効果トランジスタが提供される。

この本発明によれば、フィールドプレート部下の領域において、電界緩和の程度が段階的になるため、ゲート耐圧をより一層効果的に改善することができる。

ここで、前記絶縁膜の一部が、シリコンおよび窒素を構成元素として含む化合物により構成された第一の絶縁膜と、前記第一の絶縁膜よりも低い比誘電率を有する第二の絶縁膜と、を含む積層膜となっており、前記フィールドプレート部と前記半導体層構造の表面との間において、前記絶縁膜は、前記ゲート電極側が第一の絶縁膜の単層膜からなり、前記ドレイン電極側が前記第一の絶縁膜および前記第二の絶縁膜を含む積層膜からなる構成とすることができます。こうすることにより、製造安定性に優れ、ゲート耐圧が顕著に改善されたトランジスタを得ることができる。

以上本発明に係るトランジスタの構成について説明したが、これらの構成において、以下の構成を組み合わせても良い。

前記半導体層構造は、たとえば $In_xGa_{1-x}N$  ( $0 \leq x \leq 1$ ) からなるチャネル層および $Al_yGa_{1-y}N$  ( $0 < y \leq 1$ ) からなる電子供給層を含む構成とすることができます。チャネル層および電子供給層の積層順序は任意であ

る。この半導体層構造に、適宜、中間層やキャップ層を設けても良い。

前記ソース電極と前記半導体層構造の表面との間および前記ドレイン電極と前記半導体層構造の表面との間に、コンタクト層が介在する構成としてもよい。コンタクト層を備える構成は、いわゆるワイドリセス構造とよばれる。かかる構成を採用した場合、フィールドプレート部およびその直下の絶縁膜構造との相乗作用により、ゲート電極のドレイン側端部の電界集中をより効果的に分散・緩和することができる。なおりセス構造とする場合、多段リセスとすることもできる。こうした構成を採用する場合、フィールドプレート部は、前記コンタクト層の上部まで延在した構成とすることができる。このようにすれば、ドレイン側における電界集中も緩和することが可能となる。このようにフィールドプレート部を延在した場合、ドレイン電極とのオーバーラップによるドレイン電極端部の電界集中が問題となるが、コンタクト層の存在により、かかる問題が低減される。ここで、コンタクト層をアンドープAlGaN層、すなわち意図的にドーピングをしていないAlGaN層により構成すると、ドレイン電極端部の電界集中を顕著に低減できる。

また、前記半導体層構造は、 $In_xGa_{1-x}N$  ( $0 \leq x \leq 1$ ) からなるチャネル層、 $Al_yGa_{1-y}N$  ( $0 < y \leq 1$ ) からなる電子供給層およびGaNからなるキャップ層がこの順で積層した構造を有するものとしてもよい。このようにすれば、実効的なショットキー高さを高くでき、さらに高いゲート耐圧が実現できる。すなわち、フィールドプレート部、フィールドプレート部直下の積層膜および本実施例によるGaNキャップ層の相乗作用により、一層優れたゲート耐圧が得られる。

ゲート電極とドレイン電極との間の距離を、ゲート電極とソース電極との間の距離よりも長くすることもできる。いわゆるオフセット構造と呼ばれるものであり、ゲート電極のドレイン側エッジ部の電界集中をより効果的に分散、緩和することができる。またフィールドプレート部を形成しやすくなるという製造上の利点もある。

以上説明したように、本発明の電界効果トランジスタは、コラプスの抑制

と高いゲート耐圧を同時に実現できる。これにより、高電圧の大信号動作時の出力特性が大幅に改善する。

#### 図面の簡単な説明

5 上述した目的、およびその他の目的、特徴および利点は、以下に述べる好適な実施の形態、およびそれに付随する以下の図面によってさらに明らかになる。

図 1 は、実施例に係るトランジスタの構造を示す図である。

図 2 は、実施例に係るトランジスタの構造を示す図である。

10 図 3 は、実施例に係るトランジスタの構造を示す図である。

図 4 は、実施例に係るトランジスタの構造を示す図である。

図 5 は、実施例に係るトランジスタの構造を示す図である。

図 6 は、実施例に係るトランジスタの構造を示す図である。

図 7 は、実施例に係るトランジスタの構造を示す図である。

15 図 8 は、実施例に係るトランジスタの構造を示す図である。

図 9 は、実施例に係るトランジスタの構造を示す図である。

図 10 は、実施例に係るトランジスタの構造を示す図である。

図 11 は、実施例に係るトランジスタの構造を示す図である。

図 12 は、実施例に係るトランジスタの構造を示す図である。

20 図 13 は、実施例に係るトランジスタの構造を示す図である。

図 14 は、実施例に係るトランジスタの構造を示す図である。

図 15 は、実施例に係るトランジスタの構造を示す図である。

図 16 は、実施例に係るトランジスタの構造を示す図である。

図 17 は、実施例に係るトランジスタの構造を示す図である。

25 図 18 は、実施例に係るトランジスタの構造を示す図である。

図 19 は、実施例に係るトランジスタの構造を示す図である。

図 20 は、実施例に係るトランジスタの構造を示す図である。

図 21 は、GaNFET の構造を示す図である。

図22は、GaNFETの構造を示す図である。

図23は、ゲート耐圧とコラプスのトレードオフを説明するための図である。

図24は、実施例に係るトランジスタの性能評価結果を示す図である。

5 図25は、実施例に係るトランジスタの性能評価結果を示す図である。

図26は、実施例に係るトランジスタの構造を示す図である。

図27は、実施例に係るトランジスタの構造を示す図である。

図28は、実施例に係るトランジスタの製造方法を説明する図である。

図29は、実施例に係るトランジスタの製造方法を説明する図である。

10 図30は、実施例に係るトランジスタの製造方法を説明する図である。

図31は、実施例に係るトランジスタの製造方法を説明する図である。

図32は、実施例に係るトランジスタの製造方法を説明する図である。

図33は、実施例に係るトランジスタの製造方法を説明する図である。

図34は、実施例に係るトランジスタの製造方法を説明する図である。

15 図35は、SiONの成膜可能膜厚を説明する図である。

図36は、ゲート耐圧とコラプスのトレードオフを説明するための図である。

図37は、実施例に係るトランジスタの構造を説明する図である。

20 図38は、シリコン酸化膜を用いた場合のゲート耐圧とコラプスの関係を説明するための図である。

図39は、実施例に係るトランジスタの構造を説明する図である。

### 発明を実施するための最良の形態

以下、実施例により本発明の実施の形態を説明する。なお、以下の実施例ではIII族窒化物半導体層の成長基板としてc面SiCを用いた例について説明する。

#### (第1の実施例)

図1は、この実施例のHJFETの断面構造を示す。このHJFETは、

S i Cなどの基板 1 0 上に形成される。基板 1 0 上には半導体層からなるバッファ層 1 1 が形成されている。このバッファ層 1 1 上に G a N チャネル層 1 2 (図中「G a N チャネル 1 2」と略記。以下、同様。) が形成されている。G a N チャネル層 1 2 の上には、A 1 G a N 電子供給層 1 3 が形成されている。この電子供給層上にはオーム性接触がとられたソース電極 1 およびドレイン電極 3 があり、その間に、ドレイン側にひさし状に張り出したフィールドプレート部 5 を有しショットキー性接触がとられたゲート電極 2 が設けられている。電子供給層 1 3 の表面は S i N 膜 2 1 で覆われており、さらにその上層には S i O<sub>2</sub> 膜 2 2 が設けられている。フィールドプレート部 5 の直下にはこの S i N 膜 2 1 および S i O<sub>2</sub> 膜 2 2 が設けられている。

以下、本実施例に係る H J F E T の製造方法について図 2 8 ~ 3 0 を参照して説明する。まず S i C からなる基板 1 0 上に、例えば分子線エピタキシ (Molecular Beam Epitaxy: MBE) 成長法によって半導体を成長させる。このようにして、基板側から順に、アンドープ A 1 N からなるバッファ層 1 1 (膜厚 20 nm)、アンドープの G a N チャネル層 1 2 (膜厚 2 μm)、アンドープ A 1<sub>0.2</sub> G a<sub>0.8</sub> N からなる A 1 G a N 電子供給層 1 3 (膜厚 25 nm) が積層した半導体層構造が得られる (図 2 8 (a))。

次いで、エピタキシャル層構造の一部を G a N チャネル層 1 2 が露出するまでエッチング除去することにより、素子間分離メサ (不図示) を形成する。続いて A 1 G a N 電子供給層 1 3 上に、例えば T i / A 1 などの金属を蒸着することにより、ソース電極 1 およびドレイン電極 3 を形成し、650 °C でアニールを行うことによりオーム性接触を取る (図 2 8 (b))。続いてプラズマ C V D 法等により、S i N 膜 2 1 (膜厚 50 nm) を形成する。さらにその上層に、常圧 C V D 法等により、S i O<sub>2</sub> 膜 2 2 (膜厚 150 nm) を形成する (図 2 9 (c))。S i N 膜 2 1 および S i O<sub>2</sub> 膜 2 2 の一部をエッチング除去することによって A 1 G a N 電子供給層 1 3 の露出する開口部を設ける (図 2 9 (d))。露出した A 1 G a N 電子供給層 1 3 上に、フォトレジスト 3 0 を用いて N i / A u などのゲート金属 3 1 を蒸着して、フィー

ルドプレート部5を有するショットキー接觸のゲート電極2を形成する(図30(e)、(f))。このようにして図1に示したHJFETを作製する。

この実施例においては、ゲートードレイン間に高い逆方向電圧がかかった場合、ゲート電極のドレイン側端にかかる電界が、フィールドプレート部の働きにより緩和されることにより、ゲート耐圧が向上する。さらに大信号動作時には、表面電位をフィールドプレート部によって変調するため、表面トラップの応答によるコラプスの発生を抑制できる。すなわち、コラプスおよびゲート耐圧のバランスが顕著に改善される。また、製造プロセス上等のばらつきにより表面状態が変動した場合でも、こうした良好な性能を安定して実現することができる。

さらに、フィールドプレート直下がSiNのみからなる従来の構成に比べフィールドプレート部直下の領域に位置する絶縁膜に印加される電界を低減できる。また、 $\text{SiO}_2$ はSiNよりも誘電率が低く、かつ膜質が経時劣化し難い。このため、この領域における絶縁膜の膜質経時劣化および容量の増大を有効に抑制することができ、信頼性および高周波利得に優れるトランジスタとすることができます。

図24は、このHJFETにおける $\text{SiO}_2$ 膜厚と利得の関係を示す図である。図25の従来構造HJFETの場合と比較して、利得が大幅に改善されている。

図36は、ゲート耐圧とコラプスの性能バランスを、本実施例に係るトランジスタと、従来のトランジスタとを比較した図である。ここで、Gr.1～Gr.3の試作デバイスは、ゲート電極の形状および保護膜の構成以外は同一である。

#### G r. 1

フィールドプレート：有

保護膜：SiN膜および $\text{SiO}_2$ 膜の積層構造

本実施例によるトランジスタおよび保護膜の構成を変更した複数のデバイスを評価した。

#### G r. 2

フィールドプレート：なし

保護膜：SiN膜

保護膜の構成を変更した複数のデバイスを評価した。

Gr. 3

5 フィールドプレート：有

保護膜：SiN膜

保護膜の構成を変更した複数のデバイスを評価した。

Gr. 2 および Gr. 3 の比較から、SiN保護膜上に単にフィールドプレートを設けるのみでは、依然、ゲート耐圧とコラプスのトレードオフが存在することがわかる。一方、Gr. 1に対応する本実施例によるトランジスタは、ゲート耐圧とコラプスのトレードオフが解消され、良好な性能バランスを示すことが明らかになった。

この実施例において、ドレイン側に伸長するフィールドプレートの寸法は、  
0.3 μm以上とすることが好ましい。さらに好ましくは、フィールドプレートの寸法を 0.5 μm以上とする。また、フィールドプレートの端は、ドレイン電極とオーバーラップしない位置とすることが好ましい。フィールドプレートの寸法は大きいほどコラプス抑制の効果は高いが、フィールドプレートのドレイン電極側の端が、ゲート電極とドレイン電極の間隔の 70 %を超えると、ゲート耐圧がフィールドプレートとドレイン電極の間の電界集中で決まるため、逆にゲート耐圧が低下する傾向がある。このため、好ましくはフィールドプレートの寸法をゲート電極とドレイン電極の間隔の 70 %以下とする。

この実施例では表面保護膜の上層として SiO<sub>2</sub> 膜を形成した例を示したが、利得の向上および信頼性の向上の観点から、比誘電率が 4 以下の低誘電率膜を用いることがさらに好ましい。こうした低誘電率材料として、SiOC (SiOCH とよばれる場合もある)、BCB (ベンゾシクロブテン)、FSG(fluoroSilicate glass:SiOF) 、 HSQ(hydrogen-Silsesquioxane) 、 MSQ(methyl-Silsesquioxane)、有機ポリマー、あるいはこれらをポーラス化

した材料が例示される。

(第 2 の実施例)

図 2 は、この実施例の H J F E T の断面構造を示す。この H J F E T は、  
5 S i C などの基板 1 0 上に形成される。基板 1 0 上には半導体層からなるバ  
ッファ層 1 1 が形成されている。このバッファ層 1 1 上に G a N チャネル層  
1 2 が形成されている。G a N チャネル層 1 2 の上には、A 1 G a N 電子供  
給層 1 3 が形成されている。この電子供給層上にはオーム性接触がとられた  
ソース電極 1 およびドレイン電極 3 があり、その間にドレイン側にひさし状  
に張り出したフィールドプレート部 5 を有し、ショットキー性接触がとられ  
たゲート電極 2 が設けられている。電子供給層 1 3 の表面は S i O N 膜 2 3  
で覆われており、フィールドプレート部 5 の直下にはこの S i O N 膜 2 3 が  
設けられている。

上記 H J F E T は、以下のように形成される。まず S i C からなる基板 1  
0 上に、例えば分子線エピタキシ成長法によって半導体を成長させる。この  
15 ようにして形成した半導体層は、基板側から順に、アンドープ A 1 N からな  
るバッファ層 1 1 (膜厚 20nm)、アンドープの G a N チャネル層 1 2 (膜厚  
2 μm)、アンドープ A 1 <sub>0.2</sub> G a <sub>0.8</sub> N からなる A 1 G a N 電子供給層 1 3 (膜  
厚 25 nm) である。

次いで、エピタキシャル層構造の一部を G a N チャネル層 1 2 が露出する  
20 までエッチング除去することにより、素子間分離メサを形成する。続いて A  
1 G a N 電子供給層 1 3 上に、例えば T i / A 1 などの金属を蒸着すること  
により、ソース電極 1 およびドレイン電極 3 を形成し、650°C でアニール  
を行うことによりオーム性接触を取る。続いてプラズマ C V D 法等により、  
25 S i O N 膜 2 3 (膜厚 150 nm) を形成する。S i O N 膜 2 3 の一部をエ  
ッチング除去することによって露出した A 1 G a N 電子供給層 1 3 上に例  
えば N i / A u などの金属を蒸着して、フィールドプレート部 5 を有するシ  
ョットキー接觸のゲート電極 2 を形成する。このようにして図 3 に示した H  
J F E T を作製する。

本実施例のトランジスタは、表面保護膜をSiON膜とする。SiON膜は、SiN膜に比べ、膜中に発生する内部応力が小さい。図35は、プラズマCVD法によりSiON膜およびSiN膜を成膜した場合において、クラックの発生なしに成長可能な膜厚を調査した結果を示す図である。ここではSiONの酸素組成比を変え、対応する成長可能膜厚を調べた。酸素の組成比を増加することによって成長可能膜厚が増大することがわかる。すなわち、本実施例によれば、フィールドプレート下をSiN膜としたときに比べて絶縁膜を厚く形成することができ、フィールドプレート下の容量低減により高周波利得を改善することができる。なお、図35からわかるように、酸素を含まなSiNではクラックの発生なしに成膜可能な膜厚が約150nmとなっていることから、フィールドプレート部下の絶縁膜中のSiN膜の厚みは150nm以下とすることが好ましい。

ここで、コラプスおよび高周波利得の観点から、フィールドプレート下のSiON膜は、200nm以上の膜厚とすることが望ましい。200nmの成長可能膜厚に対応する酸素組成比は5%（モル基準）であることから、SiON膜を用いる場合、5%以上の酸素組成比とすることが好ましい。一方、酸素比率が大きすぎると、コラプスの改善効果が充分に得られなくなる。本発明者の検討によれば、コラプス改善の観点からは酸素比率を50%以下とすることが好ましい。屈折率に換算した場合、1.6以上2.0以下の範囲にあることが好ましい。

この実施例において、フィールドプレートの寸法は、0.3μm以上とすることが好ましい。さらに好ましくは、フィールドプレートの寸法を0.5μm以上とする。また、フィールドプレートの端は、ドレイン電極とオーバーラップしない位置とすることが好ましい。さらに好ましくはフィールドプレートの寸法をゲート電極とドレイン電極の間隔の70%以下とする。

### （第3の実施例）

図3を参照して本発明の第3の実施例を説明する。

図3は、この実施例のHJFETの断面構造を示す。このHJFETは、

S i Cなどの基板 1 0 上に形成される。基板 1 0 上には半導体層からなるバッファ層 1 1 が形成されている。このバッファ層 1 1 上に G a N チャネル層 1 2 が形成されている。G a N チャネル層 1 2 の上には、A 1 G a N 電子供給層 1 3 が形成されている。この電子供給層上にはオーム性接触がとられたソース電極 1 およびドレイン電極 3 があり、その間にドレイン側にひさし状に張り出したフィールドプレート部 5 を有し、ショットキー性接触がとられたゲート電極 2 が設けられている。電子供給層 1 3 の表面は S i O C 膜 2 4 で覆われており、フィールドプレート部 5 の直下にはこの S i O C 膜 2 4 が設けられている。

上記 H J F E T は、以下のように形成される。まず S i C からなる基板 1 0 上に、例えば分子線エピタキシ成長法によって半導体を成長させる。このようにして、基板側から順に、アンドープ A 1 N からなるバッファ層 1 1 (膜厚 2 0 n m)、アンドープの G a N チャネル層 1 2 (膜厚 2  $\mu$  m)、アンドープ A 1<sub>0.2</sub>G a<sub>0.8</sub>N からなる A 1 G a N 電子供給層 1 3 (膜厚 2 5 n m) が積層した半導体層構造が得られる。

次いで、エピタキシャル層構造の一部を G a N チャネル層 1 2 が露出するまでエッチング除去することにより、素子間分離メサを形成する。続いて A 1 G a N 電子供給層 1 3 上に、例えば T i / A 1 などの金属を蒸着することにより、ソース電極 1 およびドレイン電極 3 を形成し、6 5 0 °C でアニールを行うことによりオーム性接触を取る。続いてプラズマ C V D 法により S i O C 膜 2 4 (膜厚 2 0 0 n m) を形成する。S i O C 膜 2 4 の一部をエッチング除去することによって露出した A 1 G a N 電子供給層 1 3 上に例えば N i / A u などの金属を蒸着して、フィールドプレート部 5 を有するショットキー接觸のゲート電極 2 を形成する。このようにして図 3 に示した H J F E T を作製する。

この実施例は、表面保護膜を S i O C 膜とした構造である。S i O C 膜は S i N 膜と比較してストレスが小さく、膜厚を厚くしても A 1 G a N 層のビエゾ分極に影響を与えない。このため、膜によるコラプス抑制の効果はない

が、フィールドプレートによる表面電荷の制御によりコラプスを抑制する。この実施例において、フィールドプレートの寸法は、 $0.3\mu\text{m}$ 以上とすることが好ましい。さらに好ましくは、フィールドプレートの寸法を $0.5\mu\text{m}$ 以上とする。また、フィールドプレートの端は、ドレイン電極とオーバーラップしない位置とすることが好ましい。さらに好ましくはフィールドプレートの寸法をゲート電極とドレイン電極の間隔の70%以下とする。

この実施例では表面保護膜が比誘電率2.5程度のSiOC膜の場合を示したが、他の低誘電率膜（比誘電率3.5以下）を用いることもできる。この場合、膜中に発生するストレス（内部応力）が小さい膜であることが好ましい。こうした材料として、SiOC(SiOCHとよばれる場合もある)、BCB(ベンゾシクロブテン)、FSG(fluoroSilicate glass:SiOF)、HSQ(hydrogen-Silsesquioxane)、MSQ(methyl-Silsesquioxane)、有機ポリマー、あるいはこれらをポーラス化した材料が例示される。このほか、アルミナ等を用いても良い。また臨界膜厚以下のAlNを表面保護膜とすることにより、フィールドプレート効果に加えて、素子表面からの放熱を高める効果が得られる。これらの膜を組み合わせた多層膜構造においても同様の効果が得られる。

#### (第4の実施例)

本実施例は、保護膜の構造をゲート電極近傍では単層構造とし、ゲート電極から離れた領域では2層構造としている。ゲート電極下の半導体の層構造はすでに述べた実施例と同様であるので説明を省略する。

図4(a)では、ゲート電極2とSiN膜21とを離間して形成している。フィールドプレート部5の下部には、SiO<sub>2</sub>膜22単層の第一の領域と、この領域よりもドレイン側に位置する、SiN膜21上にSiO<sub>2</sub>膜22が積層した第二の領域とが形成されている。これらの領域において、フィールドプレート部5による電界緩和効果の程度が異なり、ゲート電極2ドレイン側端部の電界集中を、より一層効果的に緩和することができる。

図4(b)では、ゲート電極2とSiN膜21とをさらに離し、フィール

ドプレート部 5 と S i N 膜 2 1 とがオーバーラップしないように形成されている。したがって、フィールドプレート部 5 直下は S i O<sub>2</sub> 膜 2 2 が単層で形成され、ゲート電極 2 とドレイン電極 3 との間の領域のうち、フィールドプレート部 5 形成領域を除く領域においては、S i N 膜 2 1 および S i O<sub>2</sub> 膜 2 2 の積層膜が形成されている。このトランジスタは、特に高周波特性に優れた構造となっており、S i O<sub>2</sub> を用いることでフィールドプレート部 5 下部の容量低減が図られ、利得が顕著に向上升する。一方、フィールドプレート部 5 形成領域を除く領域においては、S i N 膜 2 1 を含む膜を形成することで、表面トラップの応答によるコラプスの発生が抑制される。

以下、本実施例に係る H J F E T の製造方法について図 3 1 ~ 3 4 を参照して説明する。まず S i C からなる基板 1 0 上に、例えば分子線エピタキシ (Molecular Beam Epitaxy:MBE) 成長法によって半導体を成長させる。これにより、基板側から順に、アンドープ A 1 N からなるバッファ層 1 1 (膜厚 20 nm)、アンドープの G a N チャネル層 1 2 (膜厚 2 μm)、アンドープ A 1<sub>0.2</sub>G a<sub>0.8</sub>N からなる A 1 G a N 電子供給層 1 3 (膜厚 25 nm) が積層した半導体層構造を得る (図 3 1 (a))。

次いで、エピタキシャル層構造の一部を G a N チャネル層 1 2 が露出するまでエッチング除去することにより、素子間分離メサ (不図示) を形成する。続いて A 1 G a N 電子供給層 1 3 上に、例えば T i / A 1 などの金属を蒸着することにより、ソース電極 1 およびドレイン電極 3 を形成し、650 °C でアニールを行うことによりオーム性接触を取る (図 3 1 (b))。続いてプラズマ C V D 法等により、S i N 膜 2 1 (膜厚 50 nm) を形成する (図 3 2 (c))。つづいて S i N 膜 2 1 の一部をエッチング除去することによって A 1 G a N 電子供給層 1 3 の露出する開口部を設ける (図 3 2 (d))。この開口部を埋めるように基板全面に、常圧 C V D 法等により、S i O<sub>2</sub> 膜 2 2 (膜厚 150 nm) を形成する (図 3 3 (e))。次に S i O<sub>2</sub> 膜 2 2 の一部をエッチング除去することによって A 1 G a N 電子供給層 1 3 の露出する開口部を設ける (図 3 3 (f))。その後、露出した A 1 G a N 電子供給層 1 3 上

に、フォトレジスト 30 を用いて Ni/Au などのゲート金属 31 を蒸着して、フィールドプレート部 5 を有するショットキー接触のゲート電極 2 を形成する(図 34 (g)、(h))。このようにして図 1 に示した HJFET を作製する。

5 以上的手順により、図 4 に示すトランジスタを安定的に製造することが可能である。

#### (第 5 の実施例)

本実施例では、保護膜を階段状に形成しており、ゲート電極近傍では単層構造とし、ゲート電極から離れた領域では 2 層構造としている。ゲート電極下の半導体の層構造はすでに述べた実施例と同様であるので説明を省略する。

10 図 5 は本実施例に係るトランジスタの構造を示す。フィールドプレート部 5 の下部には、SiN 膜 21 単層の第一の領域と、この領域よりもドレイン側に位置する、SiN 膜 21 上に SiO<sub>2</sub> 膜 22 が積層した第二の領域とが形成されている。これらの領域において、フィールドプレート部 5 による電界緩和効果の程度が異なり、ゲート電極 2 ドレイン側端部の電界集中を、より一層効果的に緩和することができる。特にこの場合、フィールドプレート部 5 下の絶縁膜の誘電率が、ドレイン電極 3 側においてゲート電極 2 側よりも低くなっている。これにより、ゲート電極ドレイン側の電界集中を効果的に緩和することができる。

#### (第 6 の実施例)

本実施例は、ワイドリセス構造を採用した HJFET の例である。以下、図 6 を参照して説明する。

この HJFET は、SiC などの基板 10 上に形成される。ソース電極 1 およびドレイン電極 3 は、それぞれ GaN コンタクト層 14 の上に形成されている。基板 10 上には半導体層からなるバッファ層 11 が形成されている。このバッファ層 11 上に GaN チャネル層 12 が形成されている。GaN チャネル層 12 の上には、AlGaN 電子供給層 13 が形成されている。この

電子供給層13上にコンタクト層14があり、コンタクト層14に接してオーム性接触がとられたソース電極1およびドレイン電極3が設けられている。ソース電極1とドレイン電極3の間のコンタクト層14を一部除去し、露出したAlGaN電子供給層13に接して、ドレイン側にひさし状に張り出したフィールドプレート部5を有し、ショットキー性接触がとられたゲート電極2が設けられている。電子供給層13の表面はSiN膜21で覆われており、さらにその上層にはSiO<sub>2</sub>膜22が設けられている。フィールドプレート部5の直下にはこのSiN膜21およびSiO<sub>2</sub>膜22が設けられている。

この実施例は第1の実施例にコンタクト層を追加した構成であり、第1の実施例で述べた効果にくわえ、さらにコンタクト抵抗が低減できる。

また、ワイドリセス構造の採用により、ゲート電極2ドレイン側端部の電界分布が変化するため、フィールドプレート部5の機能とあわせ、より優れた電界緩和効果が得られる。

この実施例において、フィールドプレートの寸法は、0.3μm以上とすることが好ましい。さらに好ましくは、フィールドプレートの寸法を0.5μm以上とする。また、フィールドプレートの端は、コンタクト層とオーバーラップしない位置とすることが好ましい。さらに好ましくはフィールドプレートの寸法をゲート電極とコンタクト層の間隔の70%以下とする。

#### 20 (第7の実施例)

本実施例は、ワイドリセス構造を採用したHJFETの例である。以下、図7を参照して説明する。

このHJFETは、SiCなどの基板10上に形成される。ソース電極1およびドレイン電極3は、それぞれGaNコンタクト層14の上に形成されている。基板10上には半導体層からなるバッファ層11が形成されている。このバッファ層11上にGaNチャネル層12が形成されている。GaNチャネル層12の上には、AlGaN電子供給層13が形成されている。この電子供給層13上にGaNコンタクト層14があり、GaNコンタクト層1

4に接してオーム性接触がとられたソース電極1およびドレイン電極3が設けられている。ソース電極1とドレイン電極3の間のコンタクト層を一部除去し、露出したA1GaN電子供給層13に接してフィールドプレート部5を有し、ショットキー性接触がとられたゲート電極2が設けられている。  
5 素子表面はSiON膜23で覆われており、フィールドプレート部5の直下にはこのSiON膜23が設けられている。

この実施例は第2の実施例にコンタクト層を追加した構成であり、第2の実施例で述べた効果にくわえ、さらにコンタクト抵抗が低減できる。

また、ワイドリセス構造の採用により、ゲート電極2ドレイン側端部の電界分布が変化するため、フィールドプレート部5の機能とあわせ、より優れた電界緩和効果が得られる。  
10

この実施例のSiON膜は、屈折率が1.6以上2.0以下の範囲にあることが好ましい。

この実施例において、フィールドプレートの寸法は、 $0.3\mu m$ 以上することが好ましい。さらに好ましくは、フィールドプレートの寸法を $0.5\mu m$ 以上とする。また、フィールドプレートの端は、コンタクト層とオーバーラップしない位置とすることが好ましい。さらに好ましくはフィールドプレートの寸法をゲート電極とコンタクト層の間隔の70%以下とする。  
15

#### (第8の実施例)

20 図8は、この実施例のHJFETの断面構造を示す。このHJFETは、SiCなどの基板10上に形成される。基板10上には半導体層からなるバッファ層11が形成されている。このバッファ層11上にGaNチャネル層12が形成されている。GaNチャネル層12の上には、A1GaN電子供給層13が形成されている。この電子供給層13上にコンタクト層14があり、コンタクト層に接してオーム性接触がとられたソース電極1およびドレイン電極3が設けられている。ソース電極1とドレイン電極3の間のコンタクト層を一部除去し、露出したA1GaN電子供給層13に接してフィールドプレート部5を有し、ショットキー性接触がとられたゲート電極2が設け  
25

られている。素子表面はSiOC膜24で覆われており、フィールドプレート部5の直下にはこのSiOC膜24が設けられている。

この実施例は第3の実施例にコンタクト層を追加した構成であり、第3の実施例で述べた効果にくわえ、さらにコンタクト抵抗が低減できる。

5 また、ワイドリセス構造の採用により、ゲート電極2ドレイン側端部の電界分布が変化するため、フィールドプレート部5の機能とあわせ、より優れた電界緩和効果が得られる。

この実施例において、フィールドプレートの寸法は、 $0.3\mu m$ 以上とすることが好ましい。さらに好ましくは、フィールドプレートの寸法を $0.5\mu m$ 以上とする。また、フィールドプレートの端は、コンタクト層とオーバーラップしない位置とすることが好ましい。さらに好ましくはフィールドプレートの寸法をゲート電極とコンタクト層の間隔の70%以下とする。

#### (第9の実施例)

図9は、この実施例のHJFETの断面構造を示す。この実施例は第4の実施例にコンタクト層を追加した構成である。半導体の層構造は第4の実施例と同様であるので説明を省略する。本実施例によれば、第4の実施例で述べた効果にくわえ、さらにコンタクト抵抗を低減できる。また、ワイドリセス構造の採用により、ゲート電極2ドレイン側端部の電界分布が変化するため、フィールドプレート部5の機能とあわせ、より優れた電界緩和効果が得られる。

#### (第10の実施例)

図10はこの実施例のHJFETの断面構造を示す。この実施例は第5の実施例にコンタクト層を追加した構成である。半導体の層構造は第5の実施例と同様であるので説明を省略する。本実施例によれば、第4の実施例と比較してコンタクト抵抗を低減できる。また、ワイドリセス構造の採用により、ゲート電極2ドレイン側端部の電界分布が変化するため、フィールドプレート部5の機能とあわせ、より優れた電界緩和効果が得られる。

#### (第11の実施例)

図11はこの実施例のH J F E Tの断面構造を示す。このH J F E Tは、  
S i Cなどの基板10上に形成される。基板10上には半導体層からなるバ  
ッファ層11が形成されている。このバッファ層11上にGaNチャネル1  
2が形成されている。GaNチャネル層12の上には、AlGaN電子供給  
層13が形成されており、その上にGaNキャップ層15が形成されている。  
このGaNキャップ層上にはオーム性接触がとられたソース電極1および  
ドレイン電極3があり、その間にフィールドプレート部5を有し、ショット  
キー接触がとられたゲート電極2が設けられている。GaNキャップ層15  
の表面はSiN膜21で覆われており、さらにその上層にはSiO<sub>2</sub>膜22  
が設けられている。フィールドプレート部5の直下にはこのSiN膜21お  
よびSiO<sub>2</sub>膜22が設けられている。

この実施例は、第1の実施例で半導体の最上部にGaNキャップ層を追加  
した構成であり、実効的なショットキー高さを高くすることによりさらに高  
いゲート耐圧が実現できる。すなわち、フィールドプレート部、フィールド  
プレート部直下の積層膜および本実施例によるGaNキャップ層の相乗作  
用により、優れたゲート耐圧が得られる。

この実施例において、フィールドプレートの寸法は、0.3μm以上とする  
ことが好ましい。さらに好ましくは、フィールドプレートの寸法を0.5μm  
以上とする。また、フィールドプレートの端は、ドレイン電極とオーバーラ  
ップしない位置とすることが好ましい。さらに好ましくはフィールドプレー  
トの寸法をゲート電極とドレイン電極の間隔の70%以下とする。

### (第12の実施例)

図12はこの実施例のH J F E Tの断面構造を示す。このH J F E Tは、  
S i Cなどの基板10上に形成される。基板10上には半導体層からなるバ  
ッファ層11が形成されている。このバッファ層11上にGaNチャネル1  
2が形成されている。GaNチャネル層12の上には、AlGaN電子供給  
層13が形成されており、その上にGaNキャップ層15が形成されている。  
このGaNキャップ層上にはオーム性接触がとられたソース電極1および

ドレイン電極3があり、その間にフィールドプレート部5を有し、ショットキー接觸がとられたゲート電極2が設けられている。GaNキャップ層15の表面はSiON膜23で覆われており、フィールドプレート部5の直下にはこのSiON膜23が設けられている。

この実施例は、第2の実施例で半導体の最上部にGaNキャップ層を追加した構成であり、実効的なショットキー高さを高くすることによりさらに高いゲート耐圧が実現できる。すなわち、フィールドプレート部、フィールドプレート部直下の積層膜および本実施例によるGaNキャップ層の相乗作用により、優れたゲート耐圧が得られる。

この実施例のSiON膜は、屈折率が1.6以上2.0以下の範囲にあることが好ましい。

この実施例において、フィールドプレートの寸法は、 $0.3\mu\text{m}$ 以上することが好ましい。さらに好ましくは、フィールドプレートの寸法を $0.5\mu\text{m}$ 以上とする。また、フィールドプレートの端は、ドレイン電極とオーバーラップしない位置とすることが好ましい。さらに好ましくはフィールドプレートの寸法をゲート電極とドレイン電極の間隔の70%以下とする。

### (第13の実施例)

図13はこの実施例のHJFETの断面構造を示す。このHJFETは、SiCなどの基板10上に形成される。基板10上には半導体層からなるバッファ層11が形成されている。このバッファ層11上にGaNチャネル層12が形成されている。GaNチャネル層12の上には、AlGaN電子供給層13が形成されており、その上にGaNキャップ層15が形成されている。このGaNキャップ層上にはオーム性接觸がとられたソース電極1およびドレイン電極3があり、その間にフィールドプレート部5を有し、ショットキー接觸がとられたゲート電極2が設けられている。GaNキャップ層15の表面はSiOC膜24で覆われており、フィールドプレート部5の直下にはこのSiOC膜24が設けられている。

この実施例は、第3の実施例で半導体の最上部にGaNキャップ層を追加

した構成であり、実効的なショットキー高さを高くすることによりさらに高いゲート耐圧が実現できる。すなわち、フィールドプレート部、フィールドプレート部直下の積層膜および本実施例によるGaNキャップ層の相乗作用により、優れたゲート耐圧が得られる。

この実施例において、フィールドプレートの寸法は、 $0.3\mu m$ 以上とすることが好ましい。さらに好ましくは、フィールドプレートの寸法を $0.5\mu m$ 以上とする。また、フィールドプレートの端は、ドレイン電極とオーバーラップしない位置とすることが好ましい。さらに好ましくはフィールドプレートの寸法をゲート電極とドレイン電極の間隔の70%以下とする。

#### 10 (第14の実施例)

図14はこの実施例のHJFETの断面構造を示す。半導体の層構造は第4の実施例と同様であるので説明を省略する。この実施例は第4の実施例の半導体層構造最上部にGaNキャップ層を追加した構成を有し、実効的なショットキー高さを高くすることによりさらに高いゲート耐圧が実現できる。すなわち、フィールドプレート部、フィールドプレート部直下の積層膜および本実施例によるGaNキャップ層の相乗作用により、優れたゲート耐圧が得られる。

#### (第15の実施例)

図15はこの実施例のHJFETの断面構造を示す。半導体の層構造は第5の実施例と同様であるので説明を省略する。この実施例は第5の実施例の半導体層構造最上部にGaNキャップ層を追加した構成を有し、実効的なショットキー高さを高くすることによりさらに高いゲート耐圧が実現できる。すなわち、フィールドプレート部、フィールドプレート部直下の積層膜および本実施例によるGaNキャップ層の相乗作用により、優れたゲート耐圧が得られる。

#### (第16の実施例)

図16はこの実施例のHJFETの断面構造を示す。この実施例は、第6の実施例のコンタクト層をアンドープAlGaNとし、フィールドプレート

をコンタクト層とオーバーラップさせた構造である。

図16は、この実施例のH J F E Tの断面構造を示す。このH J F E Tは、S i Cなどの基板10上に形成される。基板10上には半導体層からなるバッファ層11が形成されている。このバッファ層11上にGaNチャネル層12が形成されている。GaNチャネル層12の上には、AlGaN電子供給層13が形成されている。この電子供給層13上にアンドープAlGaN層16があり、アンドープAlGaN層16に接してオーム性接触がとられたソース電極1およびドレイン電極3が設けられている。ソース電極1とドレイン電極3の間のアンドープAlGaN層を一部除去し、露出したAlGaN電子供給層13に接してフィールドプレート部5を有し、ショットキ性接触がとられたゲート電極2が設けられている。素子表面はSiN膜21で覆われており、さらにその上層にはSiO<sub>2</sub>膜22が設けられている。フィールドプレート部5の直下にはこのSiN膜21およびSiO<sub>2</sub>膜22があり、フィールドプレート部5はアンドープAlGaN層16にオーバーラップする。

この実施例においては、コンタクト層がアンドープのAlGaN層であるため、フィールドプレートとコンタクト層の間での電界集中は緩やかである。このためフィールドプレートがコンタクト層にオーバーラップしてもゲート耐圧は低下しない。これにより、フィールドプレートがAlGaN電子供給層表面全体の表面電荷を制御できるため、コラプスをより効果的に抑制する効果がある。

また、この実施例ではアンドープAlGaN層16をコンタクト層としているため、ドレイン電極近傍の電界集中を抑制できるという効果も得られる。フィールドプレート部5をドレイン側に伸長した場合、ゲート電極2近傍の電界集中が緩和される一方、ドレイン電極3の近傍における電界集中の問題が顕在化する。本実施例の構成によれば、ドレイン電極3と電子供給層13との間にアンドープAlGaN層16が介在するため、こうしたドレイン電極3の近傍における電界集中を効果的に緩和することができる。

## (第17の実施例)

この実施例は、第7の実施例のコンタクト層をアンドープAlGaNとし、フィールドプレートをコンタクト層とオーバーラップさせた構造に関するものである。

図17は、この実施例のHJFETの断面構造を示す。このHJFETは、SiCなどの基板10上に形成される。基板10上には半導体層からなるバッファ層11が形成されている。このバッファ層11上にGaNチャネル層12が形成されている。GaNチャネル層12の上には、AlGaN電子供給層13が形成されている。この電子供給層13上にアンドープAlGaN層16があり、アンドープAlGaN層16に接してオーム性接触がとられたソース電極1およびドレイン電極3が設けられている。ソース電極1とドレイン電極3の間のアンドープAlGaN層を一部除去し、露出したAlGaN電子供給層13に接してフィールドプレート部5を有し、ショットキ性接触がとられたゲート電極2が設けられている。素子表面はSiON膜23で覆われており、フィールドプレート部5の直下にはこのSiON膜23があり、フィールドプレート部5はアンドープAlGaN層16にオーバーラップする。

この実施例においては、コンタクト層がアンドープのAlGaN層であるため、フィールドプレートとコンタクト層の間での電界集中は緩やかである。このためフィールドプレートがコンタクト層にオーバーラップしてもゲート耐圧は低下しない。これにより、フィールドプレートがAlGaN電子供給層表面全体の表面電荷を制御できるため、コラプスをより効果的に抑制することができる。

また、この実施例ではアンドープAlGaN層16をコンタクト層としているため、ドレイン電極近傍の電界集中を抑制できるという効果も得られる。フィールドプレート部5をドレイン側に伸長した場合、ゲート電極2近傍の電界集中が緩和される一方、ドレイン電極3の近傍における電界集中の問題が顕在化する。本実施例の構成によれば、ドレイン電極3と電子供給層13

との間にアンドープA 1 G a N層1 6が介在するため、こうしたドレン電極3の近傍における電界集中を効果的に緩和することができる。

(第18～第20の実施例)

これらの実施例は、第8～10の実施例のコンタクト層をアンドープA 1 G a Nとし、フィールドプレートをコンタクト層とオーバーラップさせた構造に関するものである(図18～図20)。

これらの実施例においては、コンタクト層がアンドープのA 1 G a N層であるため、フィールドプレートとコンタクト層の間での電界集中は緩やかである。このためフィールドプレートがコンタクト層にオーバーラップしてもゲート耐圧は低下しない。これにより、フィールドプレートがA 1 G a N電子供給層1 3表面全体の表面電荷を制御できるため、コラプスをより効果的に抑制することができる。

また、これらの実施例ではアンドープA 1 G a N層1 6をコンタクト層としているため、ドレン電極近傍の電界集中を抑制できるという効果も得られる。フィールドプレート部5をドレン側に伸長した場合、ゲート電極2近傍の電界集中が緩和される一方、ドレン電極3の近傍における電界集中の問題が顕在化する。本実施例の構成によれば、ドレン電極3と電子供給層1 3との間にアンドープA 1 G a N層1 6が介在するため、こうしたドレン電極3の近傍における電界集中を効果的に緩和することができる。

これらの実施例において、アンドープA 1 G a N層1 6およびA 1 G a N電子供給層1 3のアルミ組成の大小は任意である。これらのアルミ組成が等しい場合、両者は同じ材料から構成されることになるので、低い抵抗が得られる。また、アンドープA 1 G a N層1 6を、その下のA 1 G a N電子供給層1 3よりも高アルミ組成とすればピエゾ効果により両者の界面にキャリアが発生し、これにより低抵抗化を図ることができる。

(第21～第22の実施例)

図26～27に、本実施例に係るトランジスタを示す。これらは、第1の実施例および第2の実施例において、ゲート電極2の下部を一部、A 1 G a

N電子供給層13に埋め込んだ、いわゆるゲートリセス構造を有している。これにより、フィールドプレート部の作用と相俟って優れたゲート耐圧が得られる。

#### (第23の実施例)

図37は、この実施例のHJFETの断面構造を示す。このHJFETは、SiCなどの基板10上に形成される。基板10上には半導体層からなるバッファ層11が形成されている。このバッファ層11上にGaNチャネル層12が形成されている。GaNチャネル層12の上には、AlGaN電子供給層13が形成されている。この電子供給層上にはオーム性接触がとられたソース電極1およびドレイン電極3があり、その間に、ドレイン側にひさし状に張り出したフィールドプレート部5を有しショットキー性接触がとられたゲート電極2が設けられている。

本実施例では、フィールドプレート部直下がSiO<sub>2</sub>膜22で構成されているため、この領域の容量を低減でき利得が改善できる上、信頼性も向上する。また、これ以外の領域におけるAlGaN電子供給層13表面にはSiN膜21が形成されているため、コラプスも一定程度改善することができる。

本実施例において、SiN膜21にかえ、SiON膜を設けても良い。こうすることによって、信頼性や利得をより改善することができる。

#### (第24の実施例)

図39は、この実施例のHJFETの断面構造を示す。本実施例では、AlGaN電子供給層13上に形成される絶縁膜を、SiN膜21、SiO<sub>2</sub>膜22およびSiN膜23がこの順で積層した3層構造としている。ゲート電極下の半導体の層構造はすでに述べた実施例と同様である。絶縁膜の最上層をSiO<sub>2</sub>膜22でなくSiN膜23としているため、この素子の製造工程においてレジストを安定的に形成しやすくなり、歩留まりが向上する。

以上、本発明を実施例をもとに説明した。これらの実施例は例示であり、各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またこうした変形例も本発明の範囲にあることは当業者に理解されると

ころである。

たとえば、上記実施例では、基板材料としてS i Cを用いた例について説明したが、サファイア等の他の異種材料基板や、G a N、A l G a N等のIII族窒化物半導体基板等を用いても良い。

5 また、ゲート下の半導体層の構造は、例示したものに限られず種々の態様が可能である。たとえばG a Nチャネル層12の上部だけでなく下部にもA l G a N電子供給層13を併設した構造とすることも可能である。

また、低誘電率膜は、実施例で例示したものに限られず、様々な材料を用いることができる。また、上記実施例で示した図1乃至図21では絶縁膜をソース電極とゲート電極との間、および、ドレイン電極とゲート電極との間のすべての領域にわたって設けた例を示したが、本発明の効果を達成するためにはドレイン電極とゲート電極との間の所定の領域に絶縁膜を設ければ充分であり、必ずしもソース電極とゲート電極との間に絶縁膜を設ける必要はない。さらに、ドレイン電極とゲート電極との間に設ける絶縁膜も、ドレイン電極とゲート電極との間のすべての領域にわたって設ける必要はなく、たとえば、フィールドプレート部の下部にのみ絶縁膜を設ける構成としてもよい。

## 請求の範囲

1. ヘテロ接合を含む III 族窒化物半導体層構造と、該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、前記 III 族窒化物半導体層上に形成された絶縁膜と、

5 を備え、前記ゲート電極は、前記ドレイン電極側にひさし状に張り出し前記絶縁膜上に形成されたフィールドプレート部を有し、前記絶縁膜は、シリコンおよび窒素を構成元素として含む化合物により構成された第一の絶縁膜と、前記第一の絶縁膜よりも低い比誘電率を有する第二の絶縁膜と、を含む積層膜であることを特徴とする電界効果トランジスタ。

10 2. 請求項 1 に記載の電界効果トランジスタにおいて、前記第二の絶縁膜が前記第一の絶縁膜上に積層されたことを特徴とする電界効果トランジスタ。

15 3. 請求項 1 または 2 に記載の電界効果トランジスタにおいて、前記第一の絶縁膜が 150 nm 以下であることを特徴とする電界効果トランジスタ。

20 4. 請求項 1 乃至 3 いずれかに記載の電界効果トランジスタにおいて、前記第二の絶縁膜の比誘電率が 3.5 以下であることを特徴とする電界効果トランジスタ。

25 5. 請求項 1 乃至 4 いずれかに記載の電界効果トランジスタにおいて、前記第一の絶縁膜および前記第二の絶縁膜を含む積層膜からなる前記絶縁膜は前記ゲート電極から離間して形成されており、前記絶縁膜と前記ゲート電極との間に前記第二の絶縁膜が設けられていることを特徴とする電界効果トランジスタ。

6. 請求項 5 に記載の電界効果トランジスタにおいて、前記絶縁膜と前記ゲート電極との間に設けられた前記第二の絶縁膜は前記フィールドプレート部の下部に位置し、

前記第一の絶縁膜および前記第二の絶縁膜を含む積層膜からなる前記絶縁膜は、前記フィールドプレート部のドレイン側端部と前記ドレイン電極との間に位置していることを特徴とする電界効果トランジスタ。

7. 請求項 1 乃至 6 いずれかに記載の電界効果トランジスタにおいて、  
5 前記第二の絶縁膜上に、シリコンおよび窒素を構成元素として含む化合物により構成された第三の絶縁膜をさらに備えることを特徴とする電界効果トランジスタ。

8. ヘテロ接合を含む III 族窒化物半導体層構造と、該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、前記 III 族窒化物半導体層上に形成された絶縁膜と、を備え、前記ゲート電極は、前記ドレイン電極側にひさし状に張り出し前記絶縁膜上に形成されたフィールドプレート部を有し、前記絶縁膜は、シリコン、窒素および酸素を構成元素として含む化合物により構成されていることを特徴とする電界効果トランジスタ。

9. ヘテロ接合を含む III 族窒化物半導体層構造と、該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、前記 III 族窒化物半導体層上に形成された絶縁膜と、を備え、前記ゲート電極は、前記ドレイン電極側にひさし状に張り出し前記絶縁膜上に形成されたフィールドプレート部を有し、前記絶縁膜は、比誘電率 3.5 以下の絶縁膜であることを特徴とする電界効果トランジスタ。

10. ヘテロ接合を含む III 族窒化物半導体層構造と、該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、前記 III 族窒化物半導体層上に形成された絶縁膜と、を備え、前記ゲート電極は、前記ドレイン電極側にひさし状に張り出し前記絶縁膜上に形成されたフィールドプレート部を有し、前記絶縁膜は；前記ゲート電極側は比誘電率 4 以下の絶縁材料により構成され、前記ドレイン電極側はシリコンおよび窒素を構成元素として

含む絶縁材料により構成されていることを特徴とする電界効果トランジスタ。

11. 請求項10に記載の電界効果トランジスタにおいて、前記絶縁膜の前記ドレイン電極側が、シリコン、窒素および酸素を構成元素として含む絶縁材料により構成されていることを特徴とする電界効果トランジスタ。  
5

12. ヘテロ接合を含むIII族窒化物半導体層構造と、該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、前記III族窒化物半導体層上に形成された絶縁膜と、を備え、前記ゲート電極は、前記ドレイン電極側にひさし状に張り出し前記絶縁膜上に形成されたフィールドプレート部を有し、前記フィールドプレート部、前記III族窒化物半導体層およびこれらに挟まれた前記絶縁膜とで構成される容量の誘電率が、前記ゲート電極側よりも前記ドレイン電極側の方が低いことを特徴とする電界効果トランジスタ。  
10  
15

13. 請求項12に記載の電界効果トランジスタにおいて、前記絶縁膜の一部が、シリコンおよび窒素を構成元素として含む化合物により構成された第一の絶縁膜と、前記第一の絶縁膜よりも低い比誘電率を有する第二の絶縁膜と、を含む積層膜となっており、前記フィールドプレート部と前記半導体層構造の表面との間において、前記絶縁膜は、前記ゲート電極側が第一の絶縁膜の単層膜からなり、前記ドレイン電極側が前記第一の絶縁膜および前記第二の絶縁膜を含む積層膜からなることを特徴とする電界効果トランジスタ。  
20

14. 請求項1乃至13いずれかに記載の電界効果トランジスタにおいて、前記半導体層構造は、 $In_xGa_{1-x}N$  ( $0 \leq x \leq 1$ ) からなるチャネル層および $Al_yGa_{1-y}N$  ( $0 < y \leq 1$ ) からなる電子供給層を含むことを特徴とする電界効果トランジスタ。  
25

15. 請求項1乃至14いずれかに記載の電界効果トランジスタにおい

て、前記ソース電極と前記半導体層構造の表面との間および前記ドレイン電極と前記半導体層構造の表面との間に、コンタクト層が介在することを特徴とする電界効果トランジスタ。

16. 請求項15に記載の電界効果トランジスタにおいて、前記コンタクト層がアンドープAlGaN層により構成されていることを特徴とする  
5 電界効果トランジスタ。

17. 請求項16に記載の電界効果トランジスタにおいて、前記フィールドプレート部は、前記コンタクト層の上部まで延在していることを特徴とする電界効果トランジスタ。

18. 請求項1乃至17いずれかに記載の電界効果トランジスタにおいて、前記半導体層構造は、 $In_xGa_{1-x}N$  ( $0 \leq x \leq 1$ ) からなるチャネル層、 $Al_yGa_{1-y}N$  ( $0 < y \leq 1$ ) からなる電子供給層およびGaNからなるキャップ層がこの順で積層した構造を有することを特徴とする電界効果トランジスタ。  
10

Fig.1

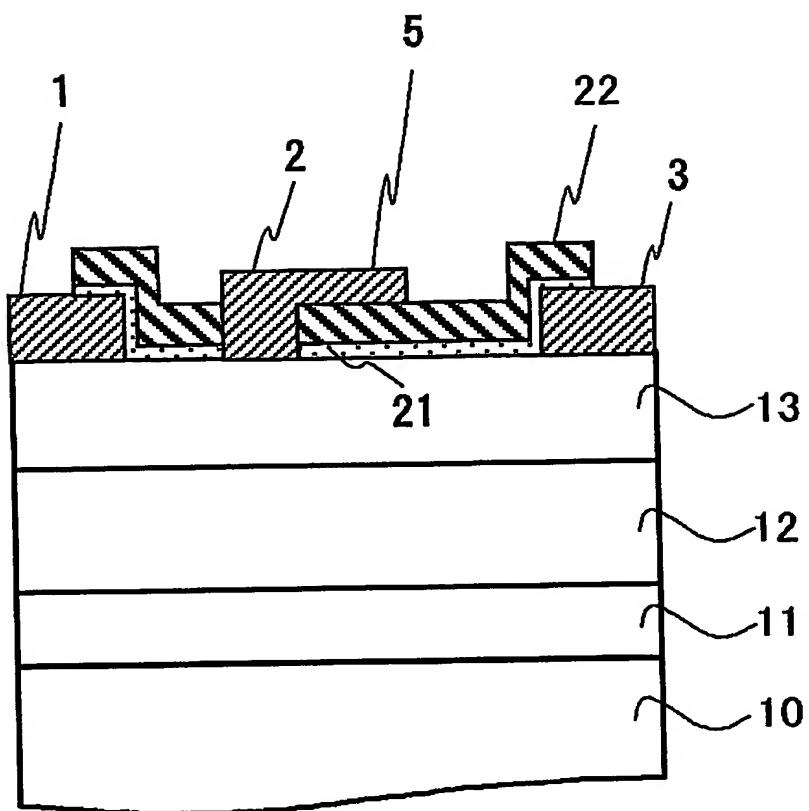


Fig.2

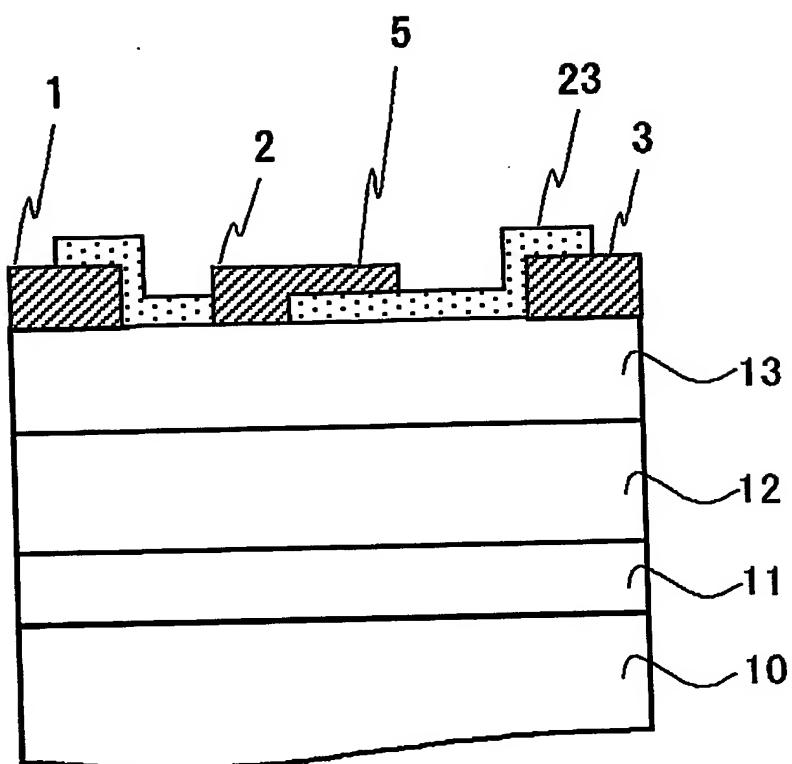


Fig.3

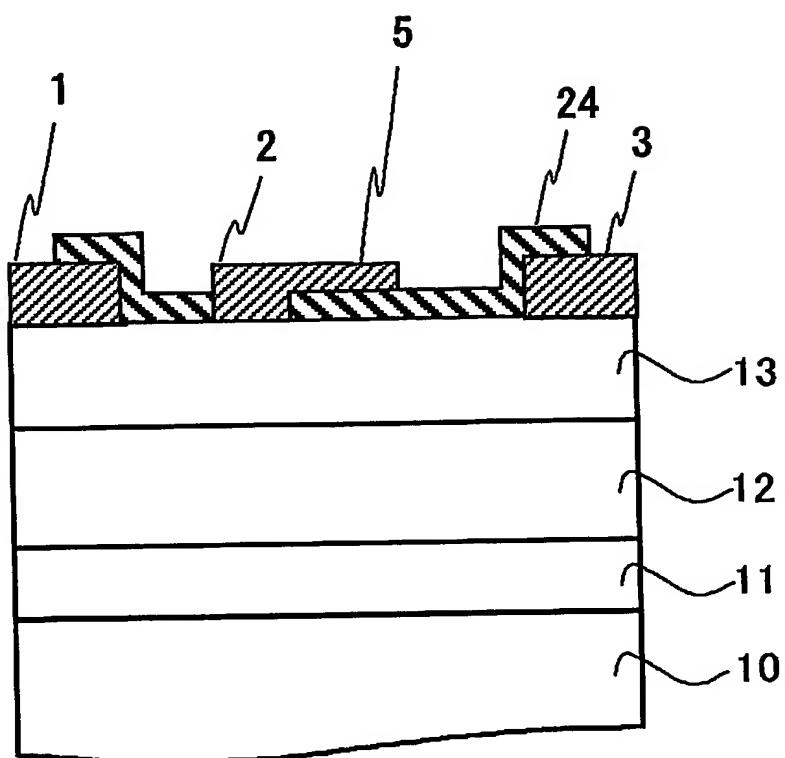
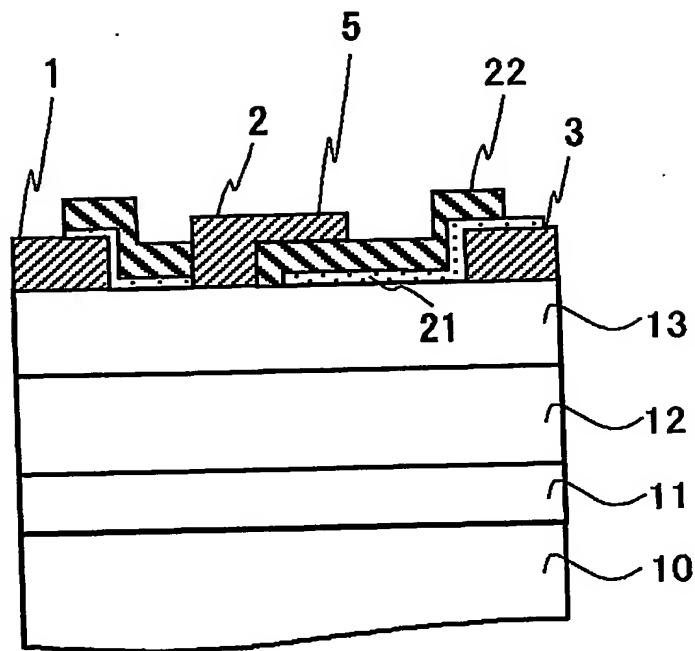


Fig.4

(a)



(b)

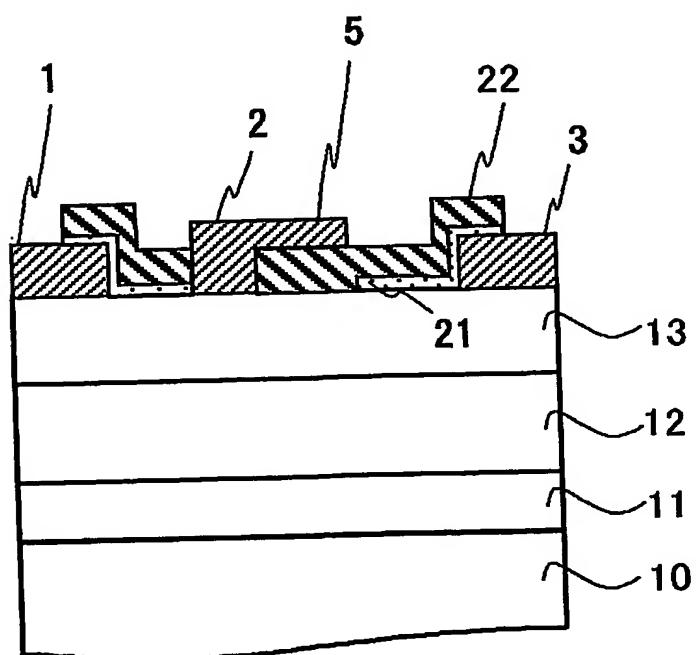


Fig.5

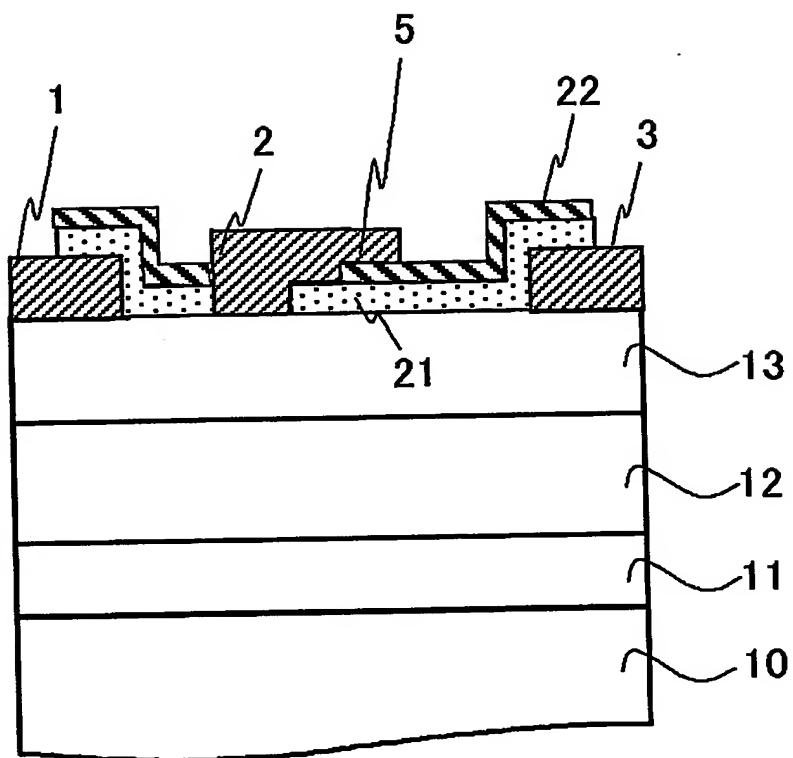


Fig.6

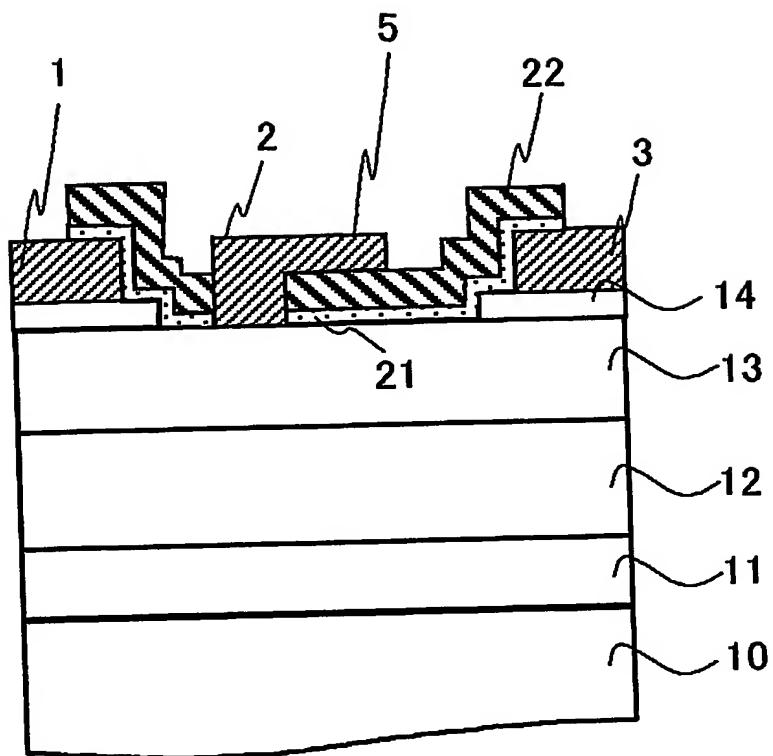


Fig.7

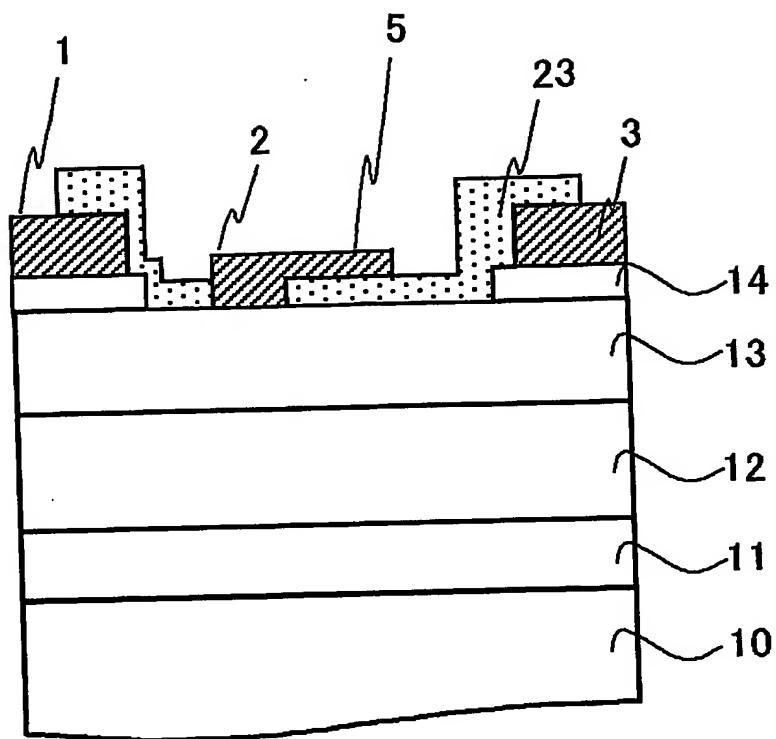


Fig.8

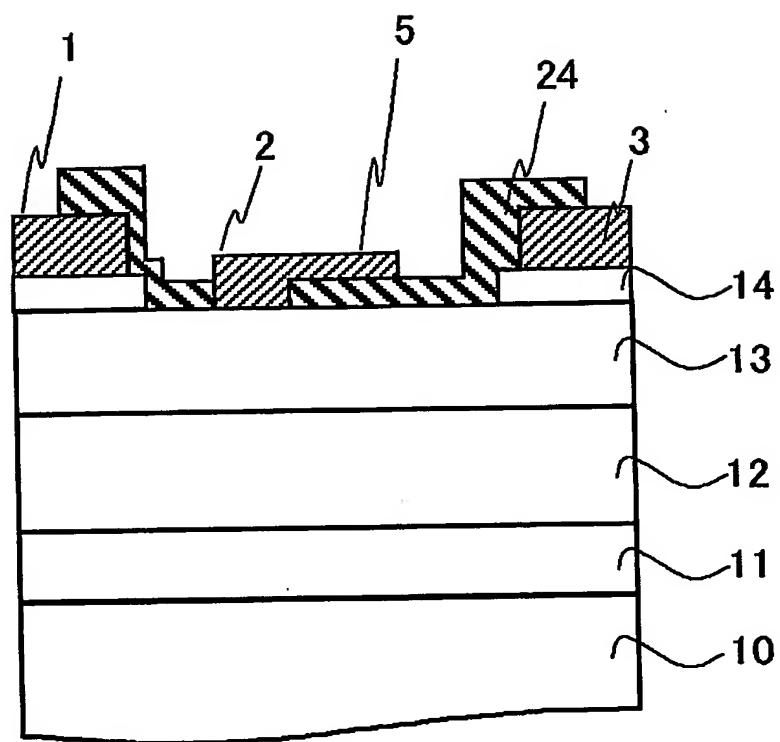


Fig.9

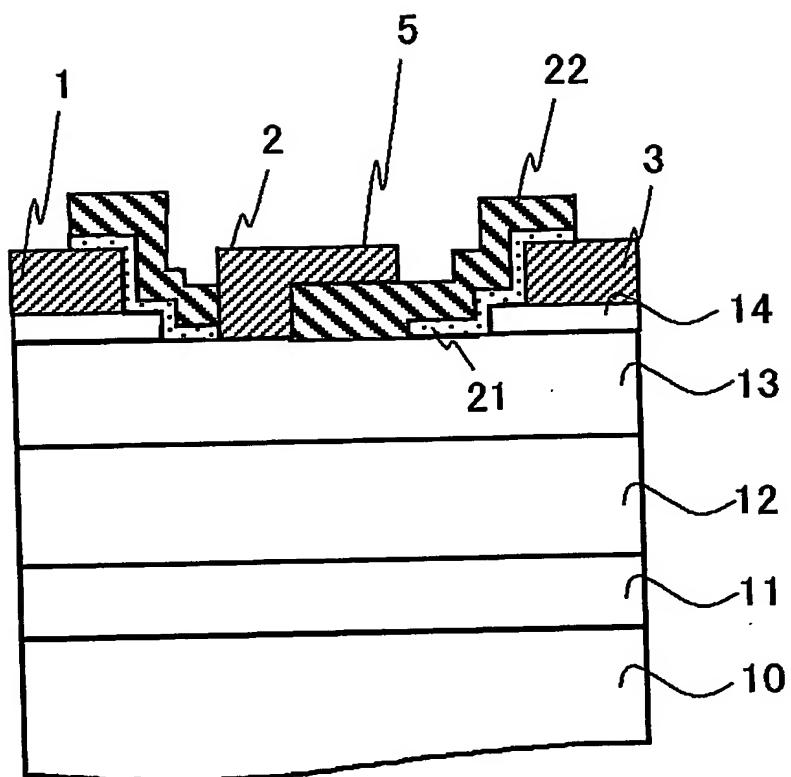


Fig.10

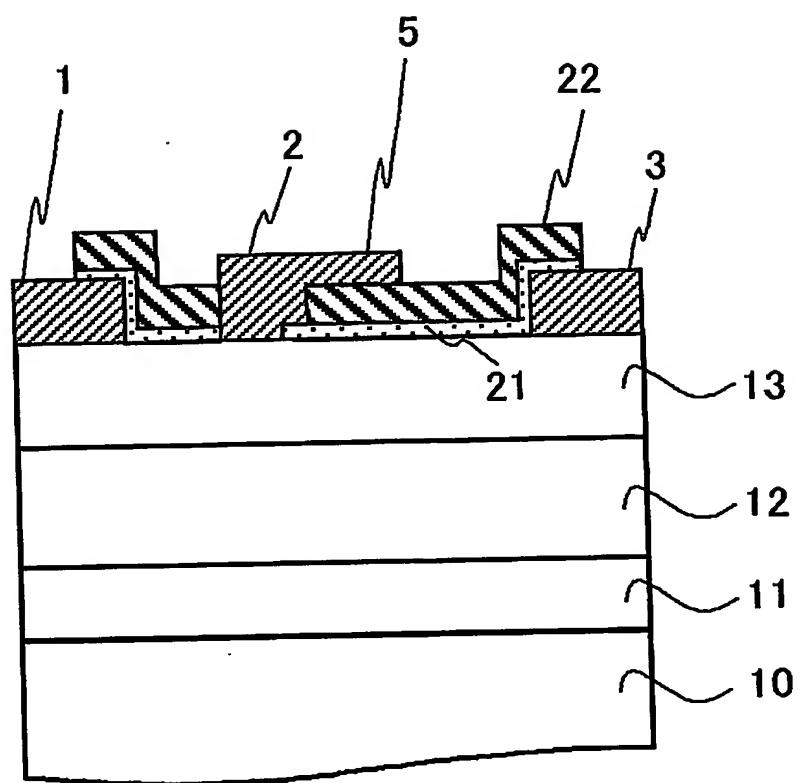


Fig.11

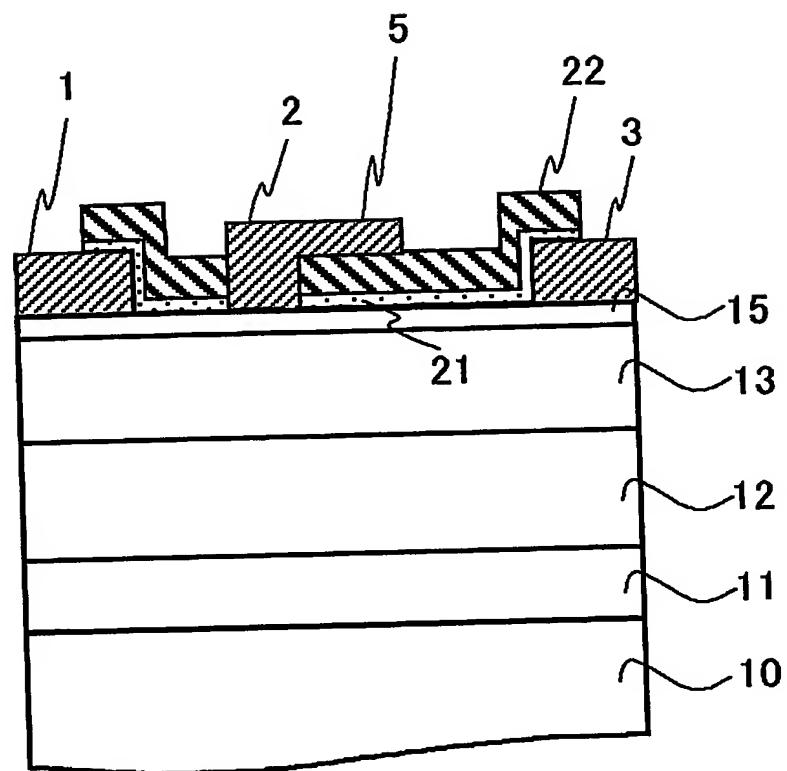


Fig.12

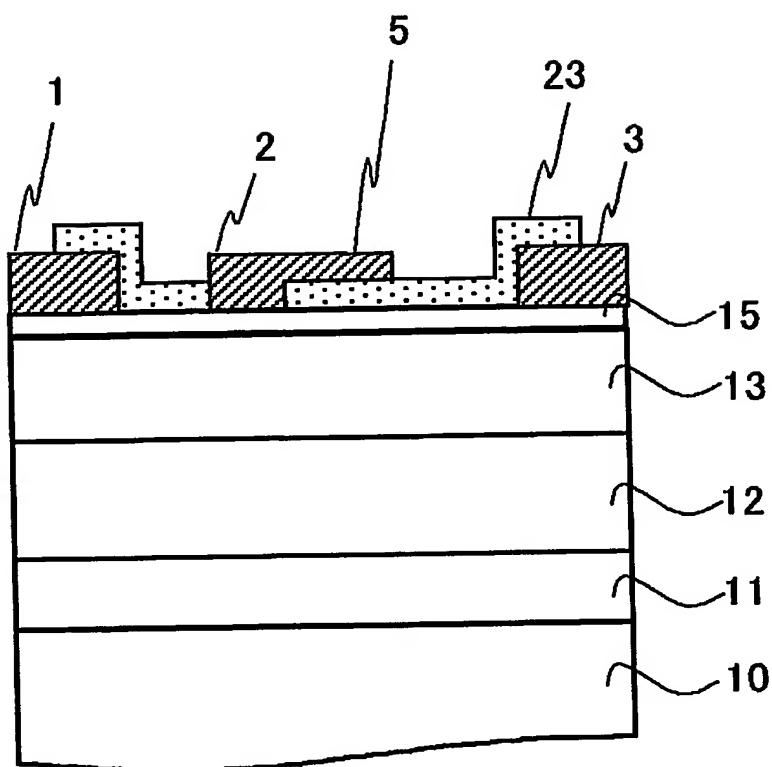


Fig.13

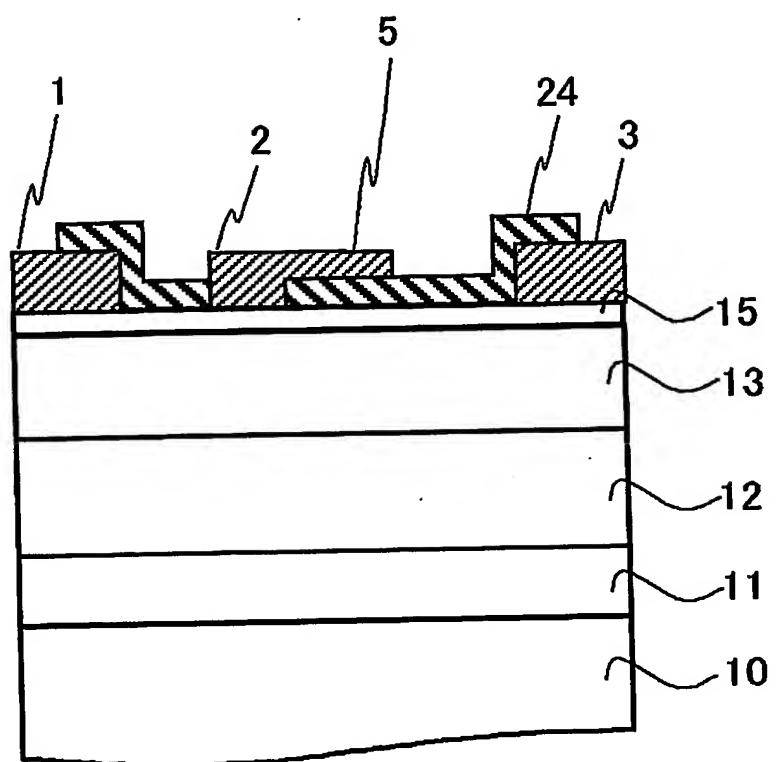


Fig.14

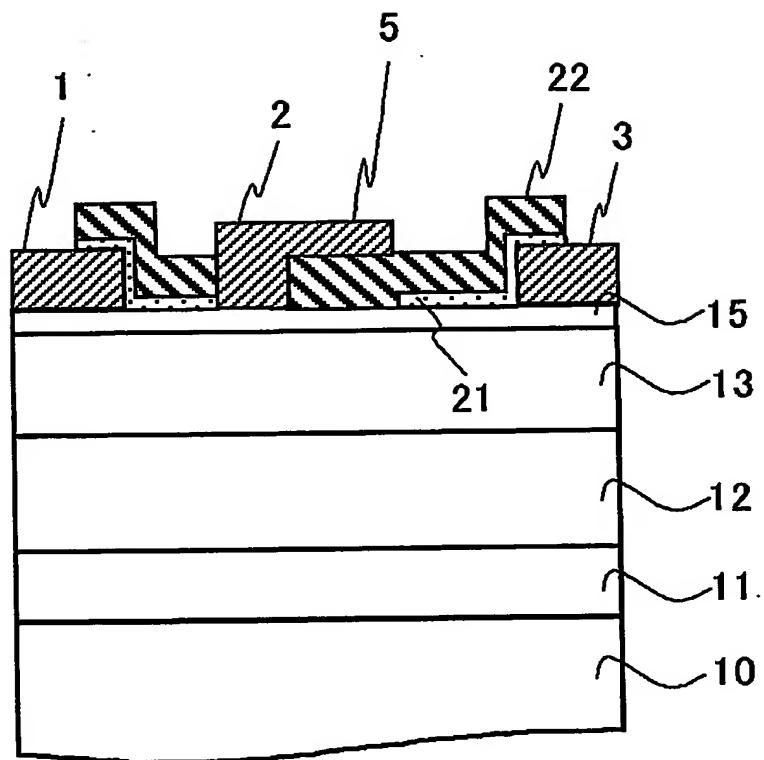


Fig.15

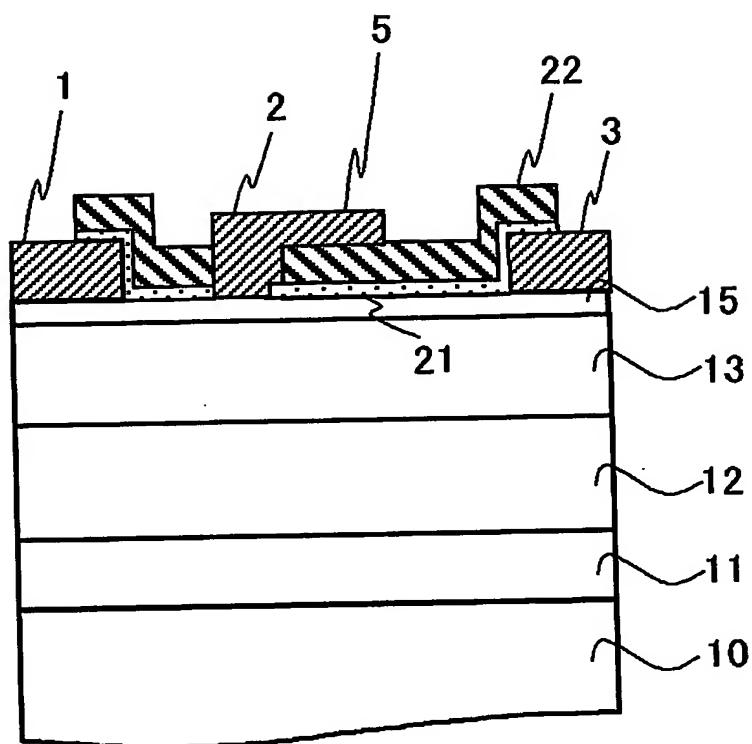


Fig.16

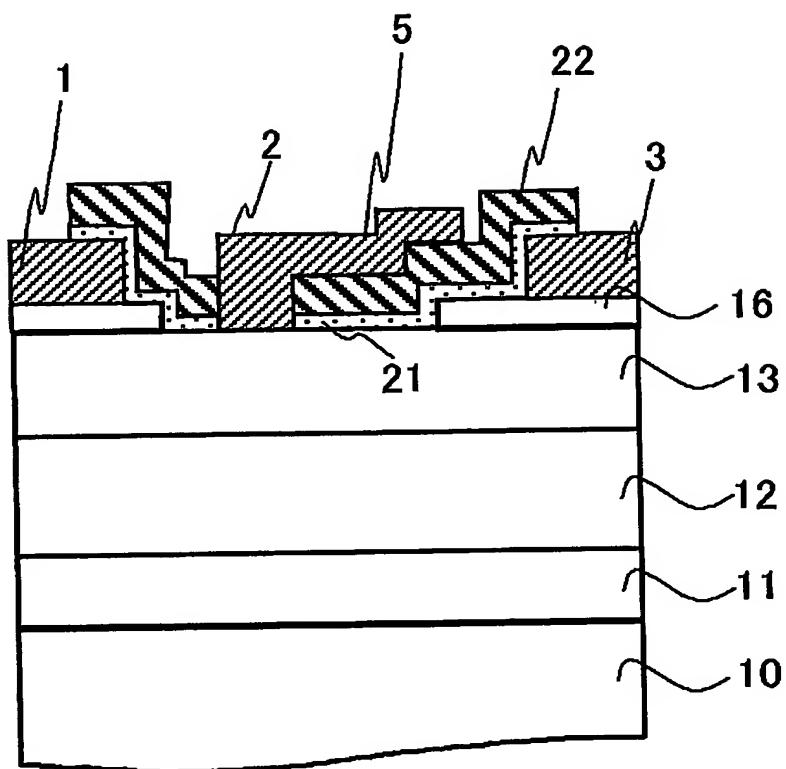


Fig.17

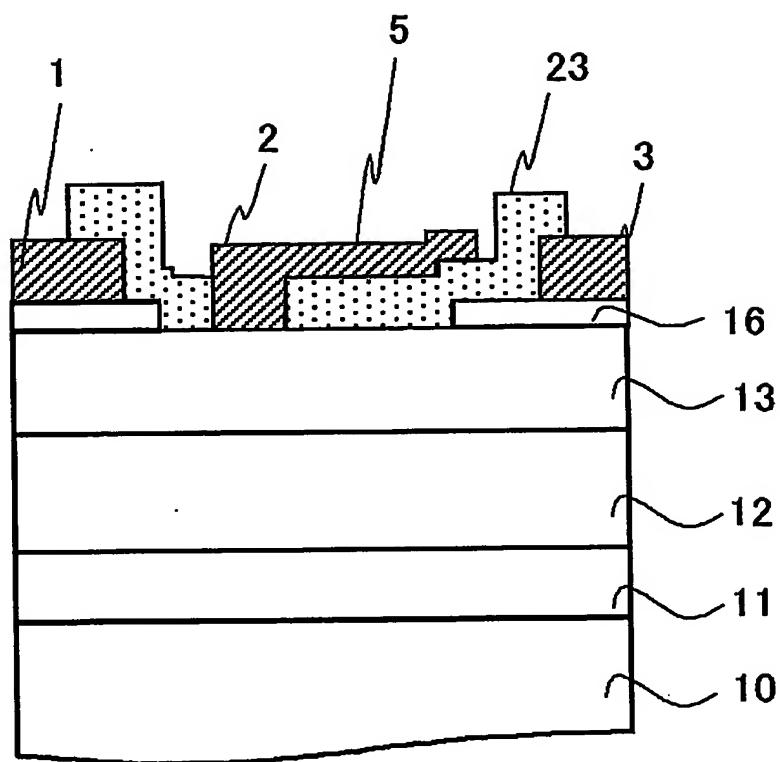


Fig.18

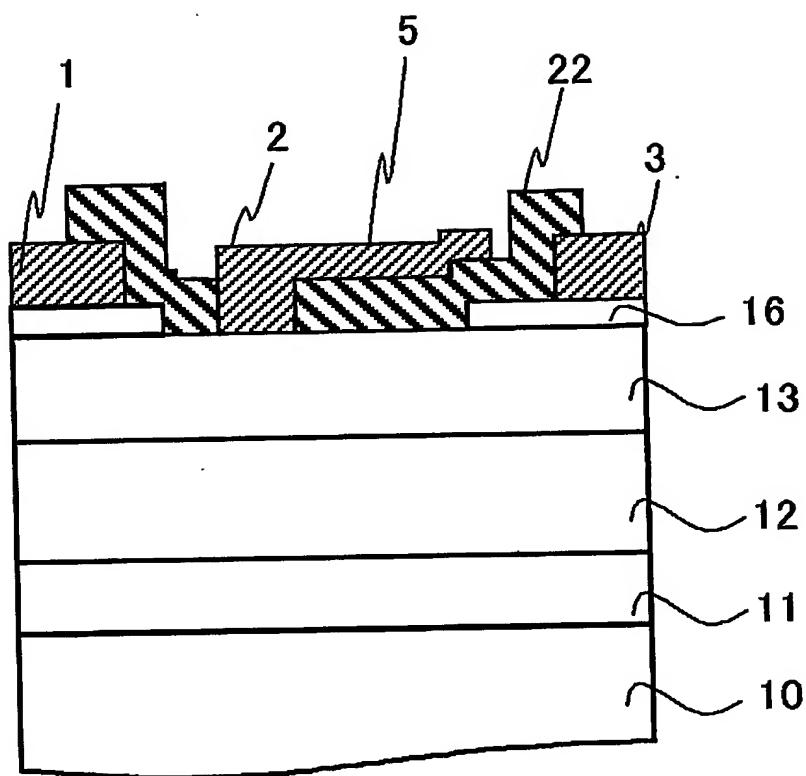


Fig.19

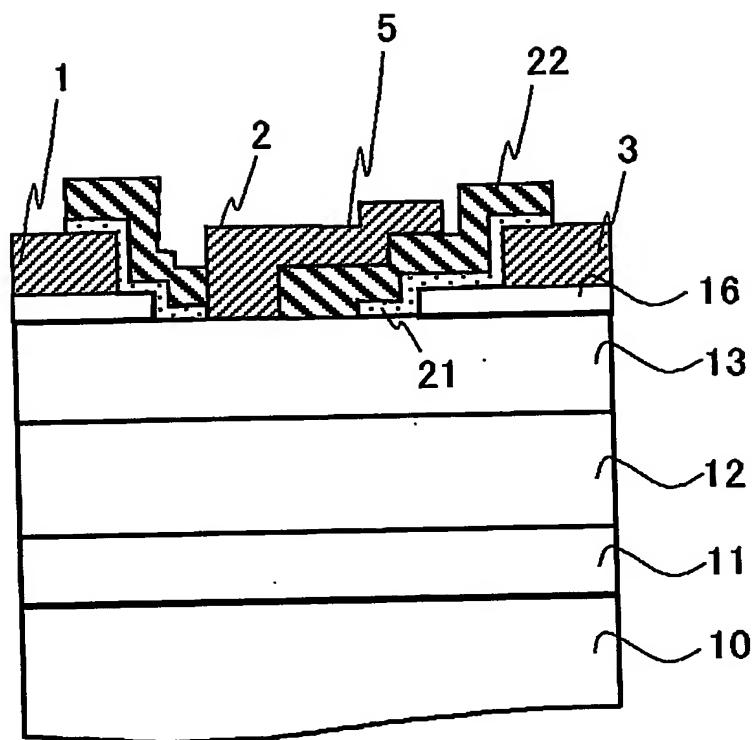


Fig.20

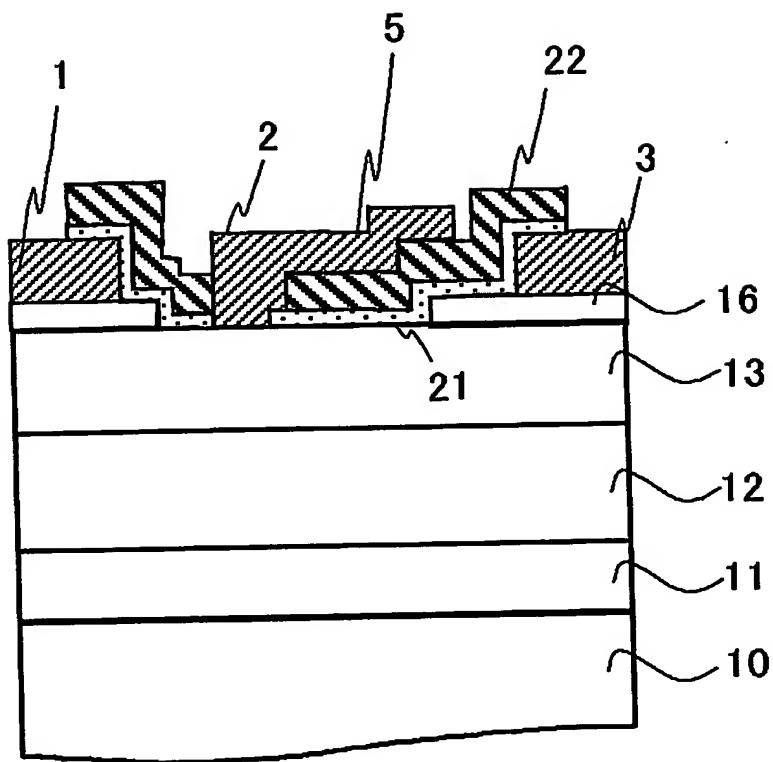


Fig.21

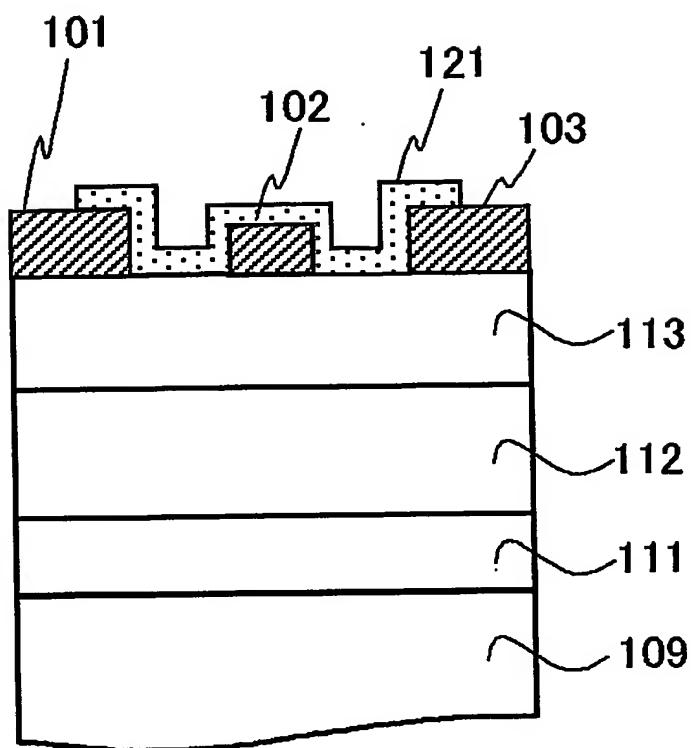


Fig.22

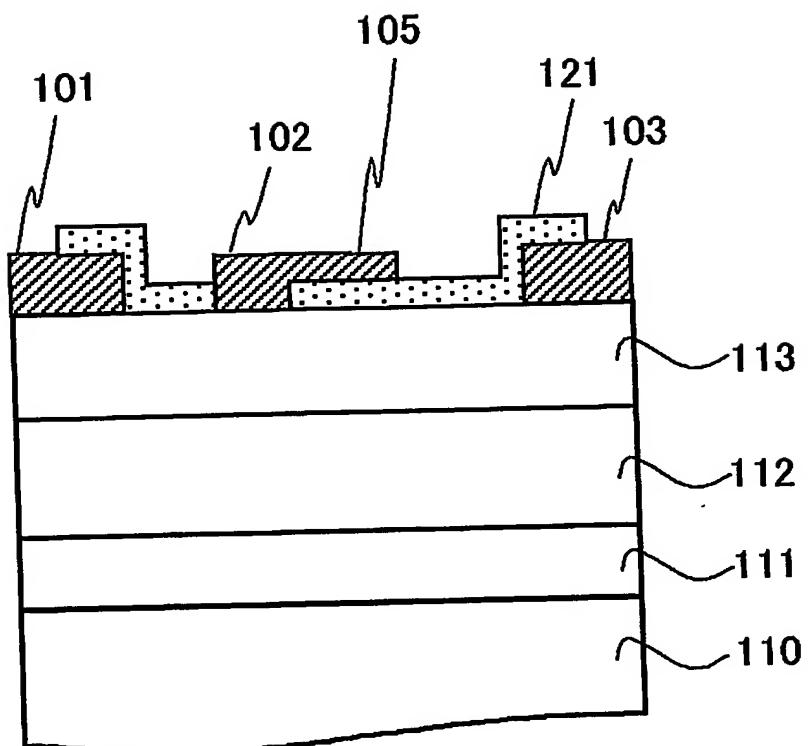


Fig.23

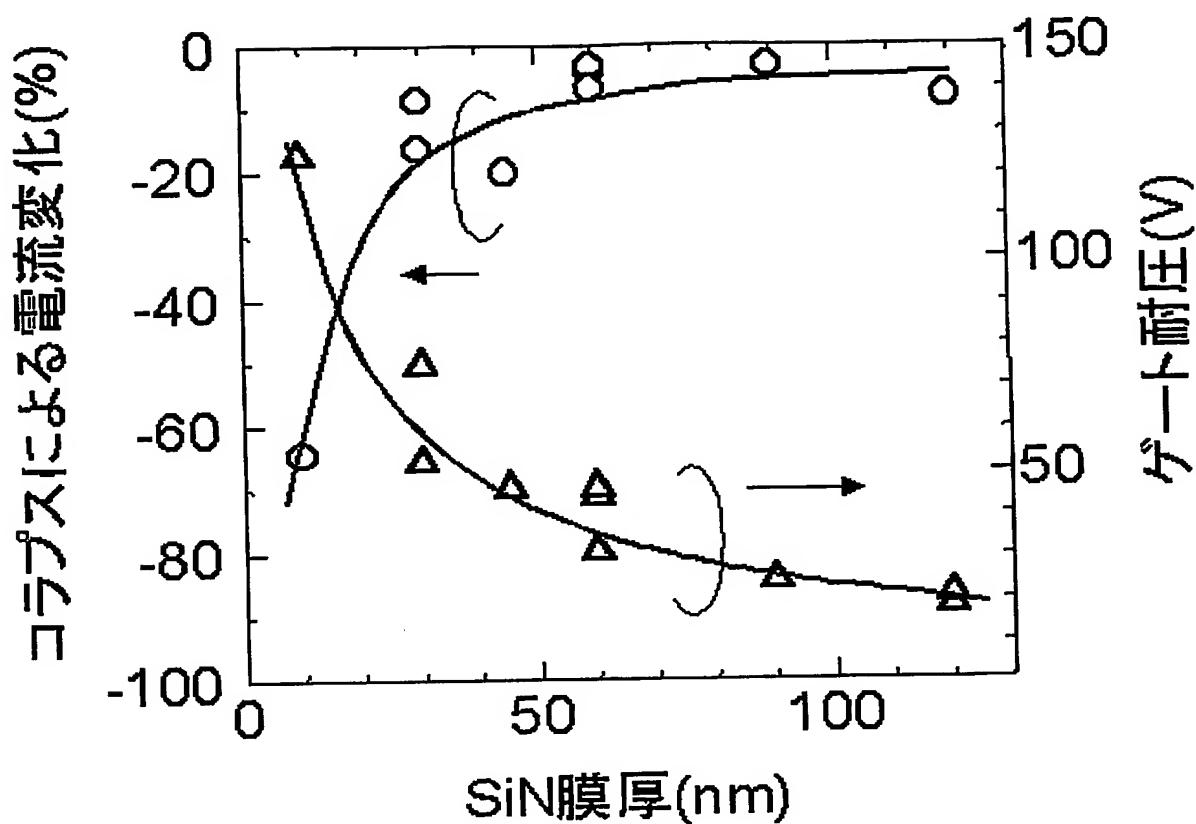


Fig.24

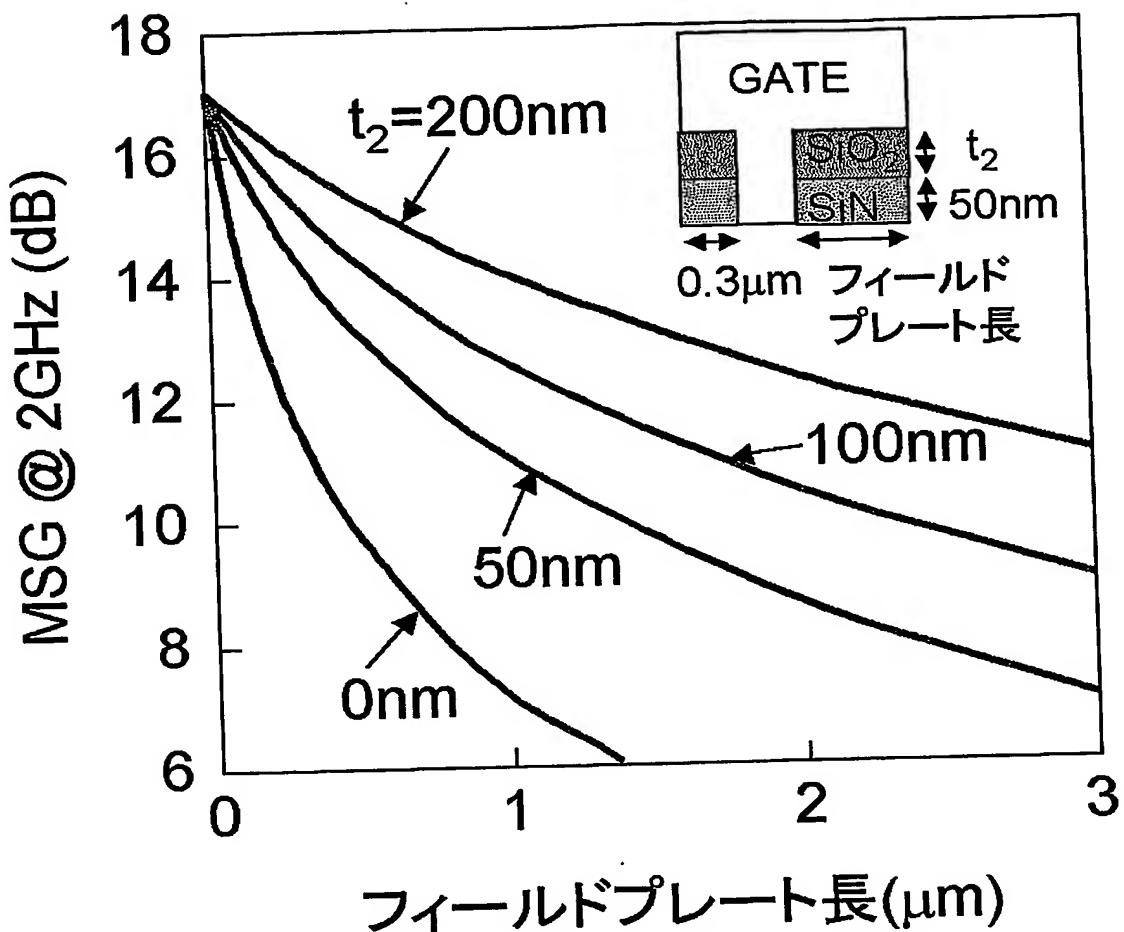


Fig.25

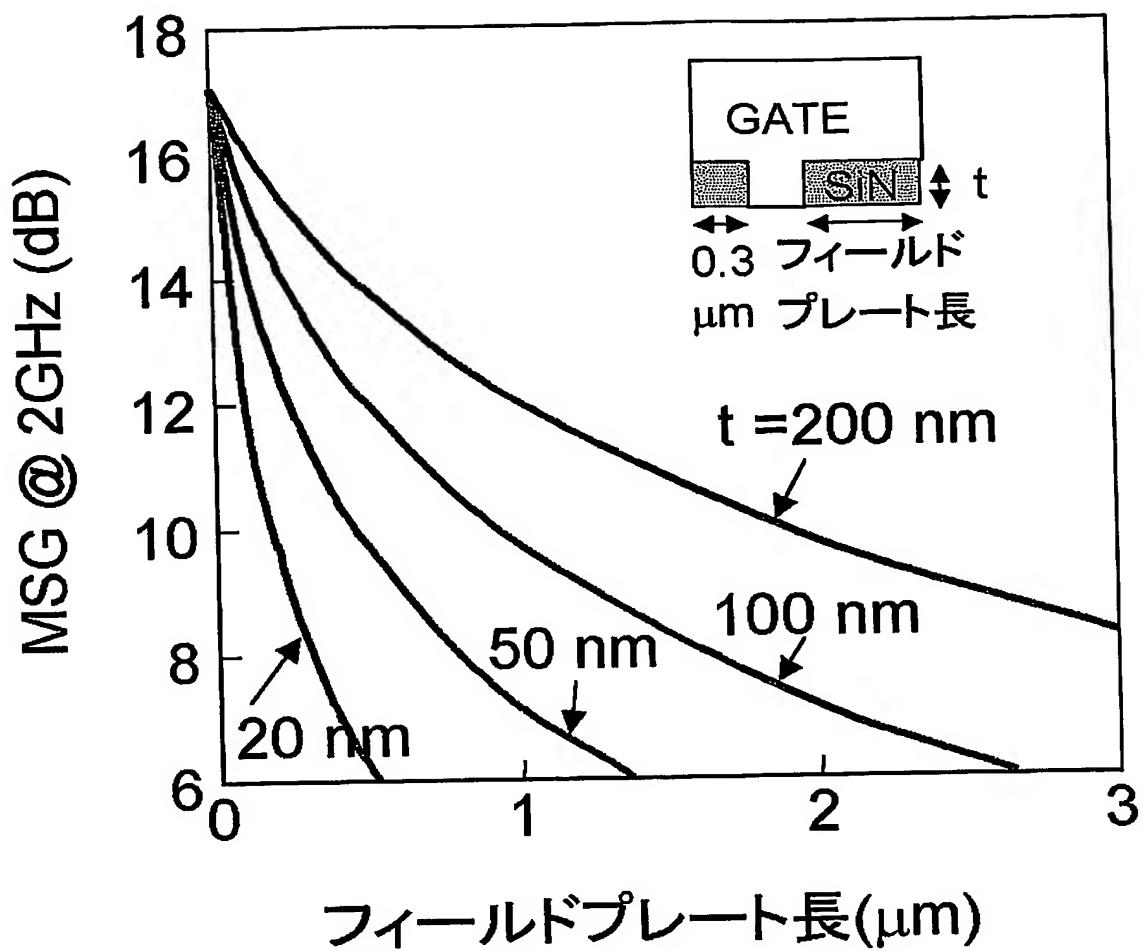


Fig.26

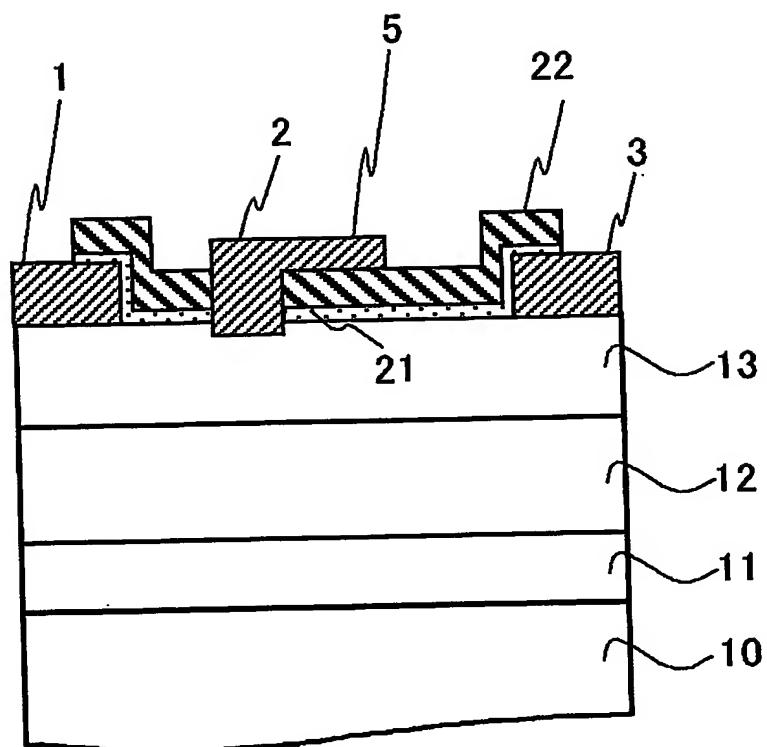


Fig.27

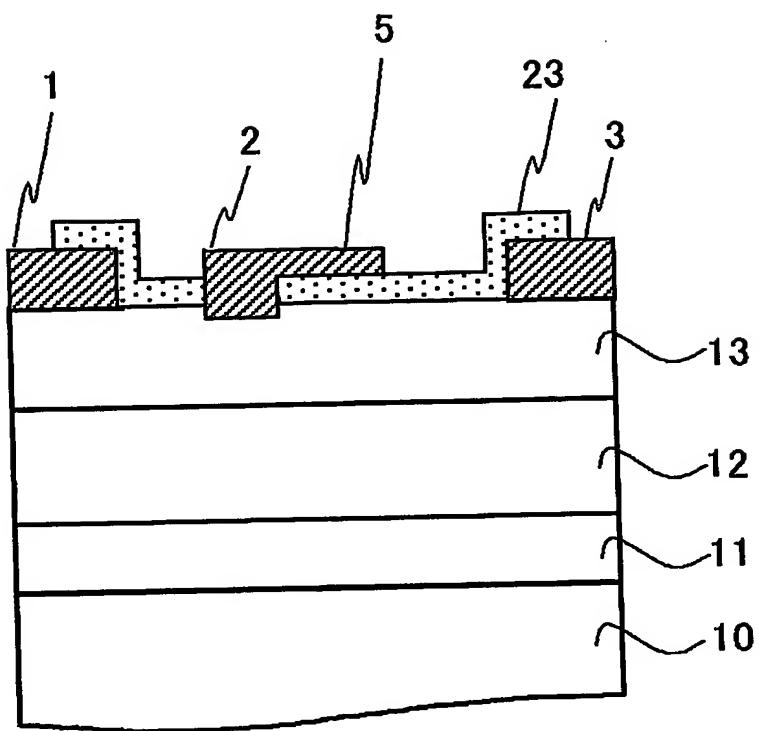
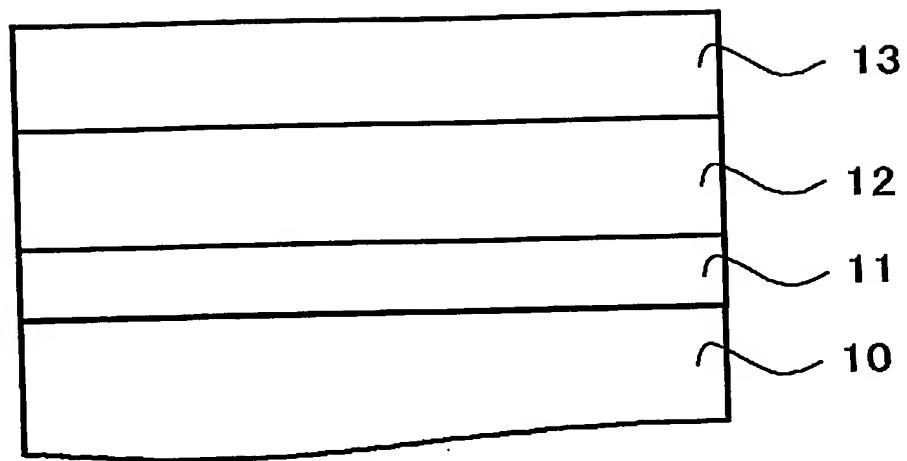
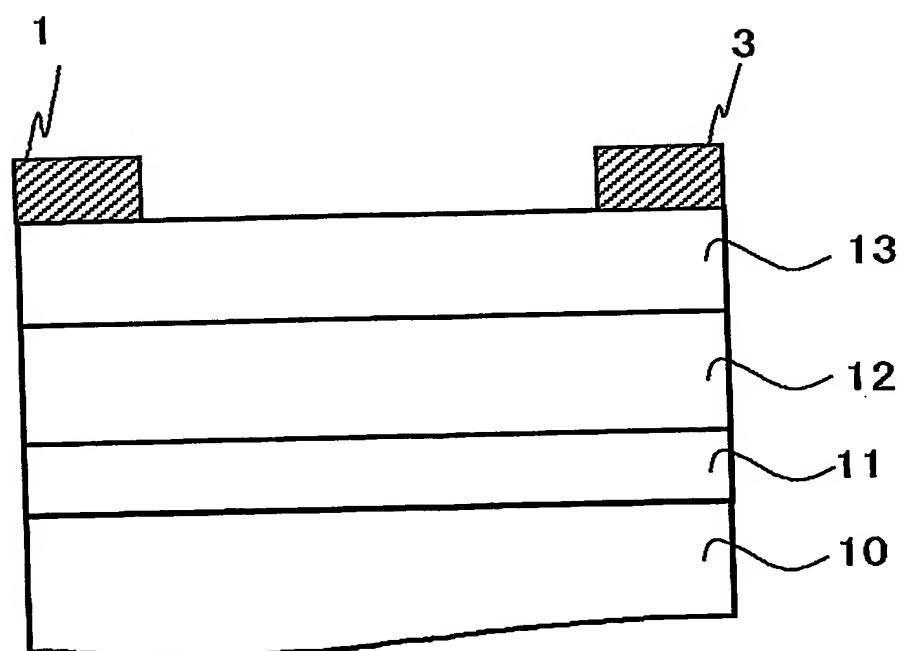


Fig.28

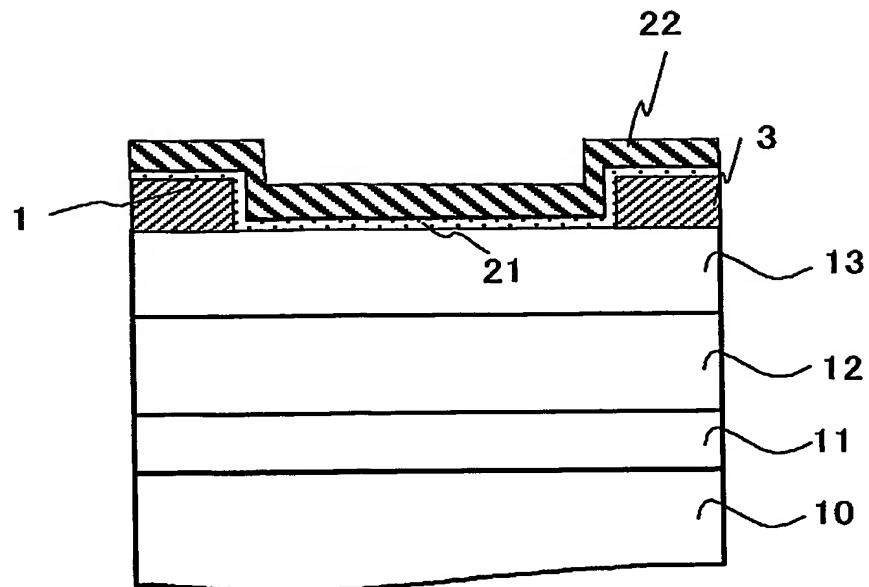


(a)

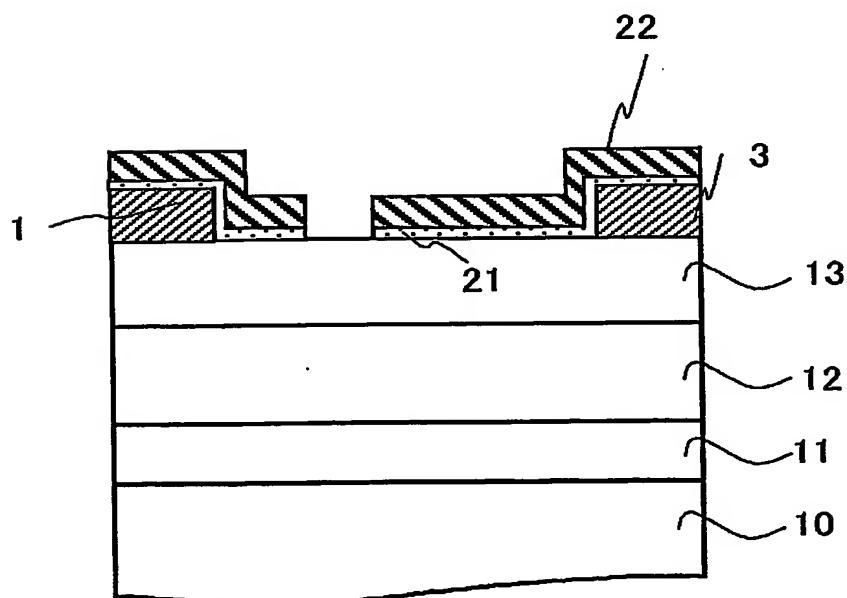


(b)

Fig.29

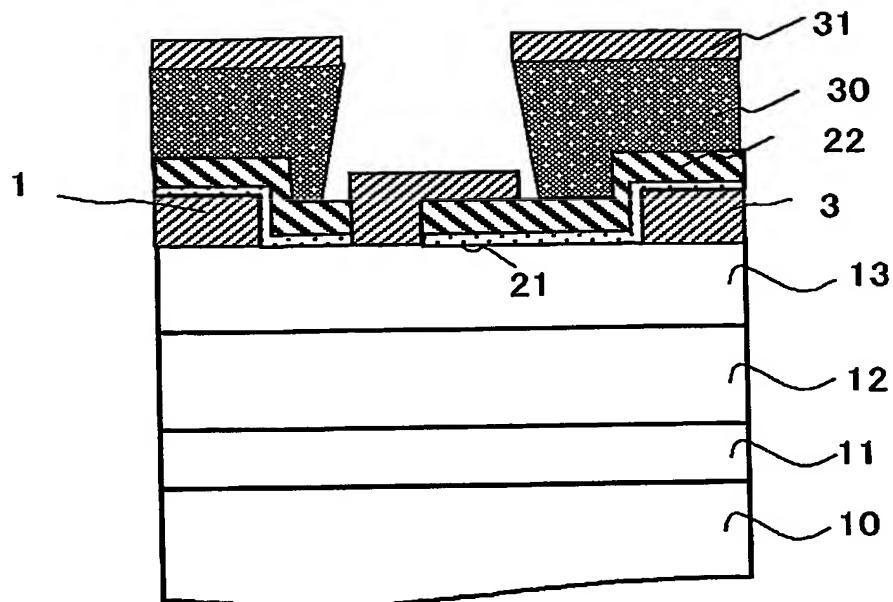


(c)

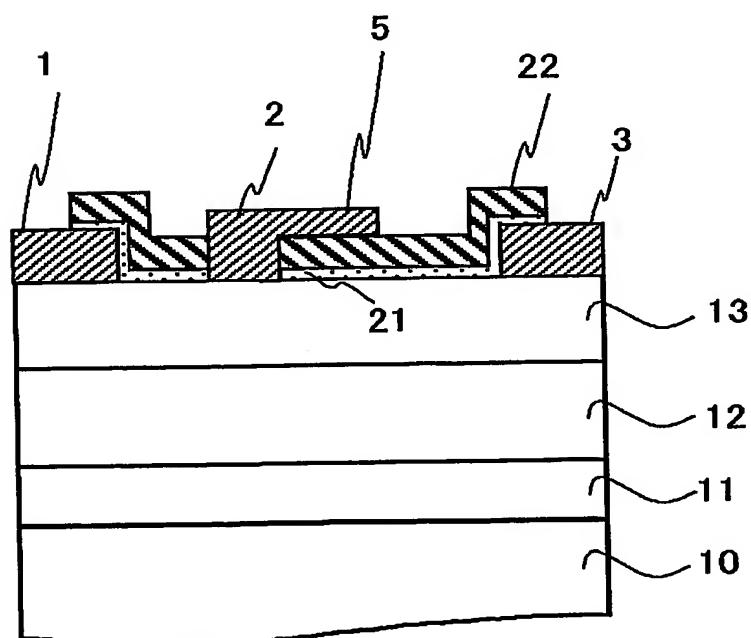


(d)

Fig.30



(e)

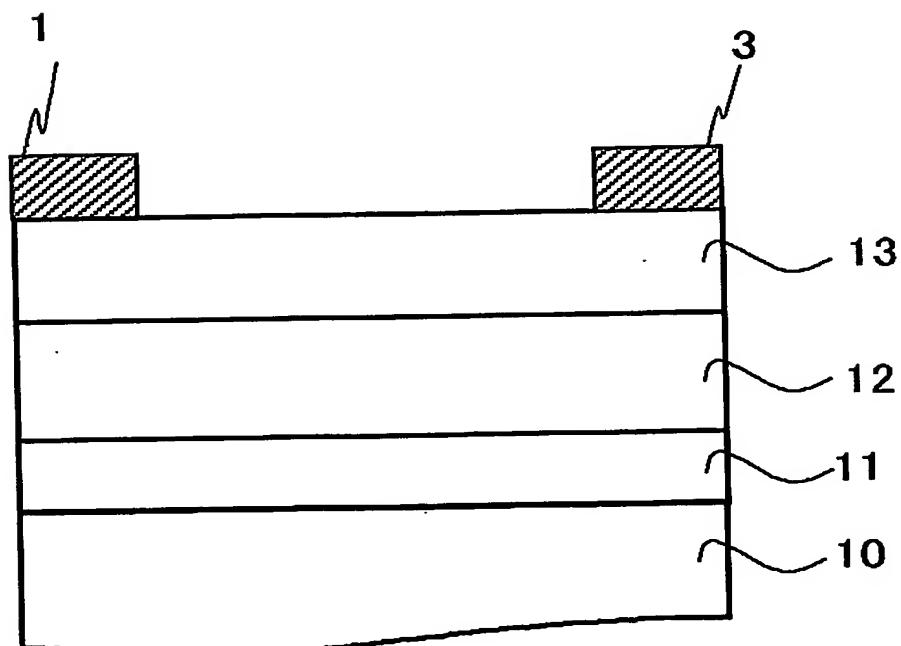


(f)

Fig.31

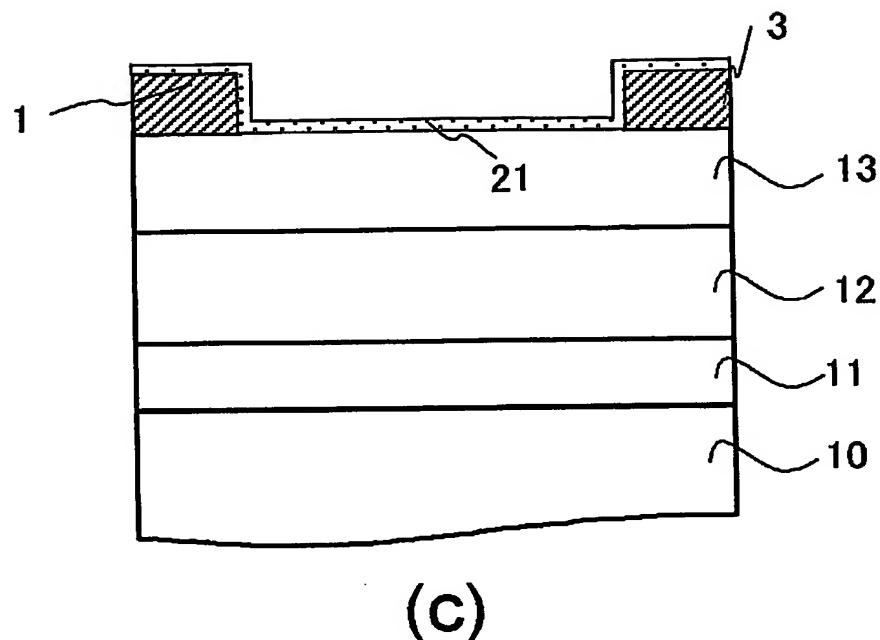


(a)

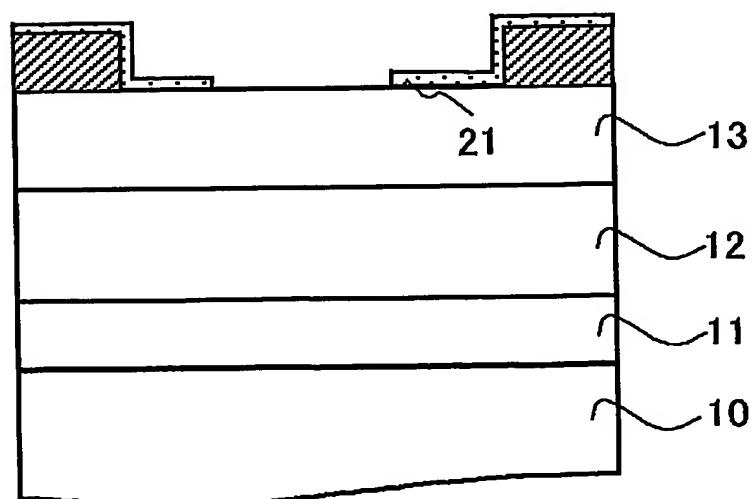


(b)

Fig.32

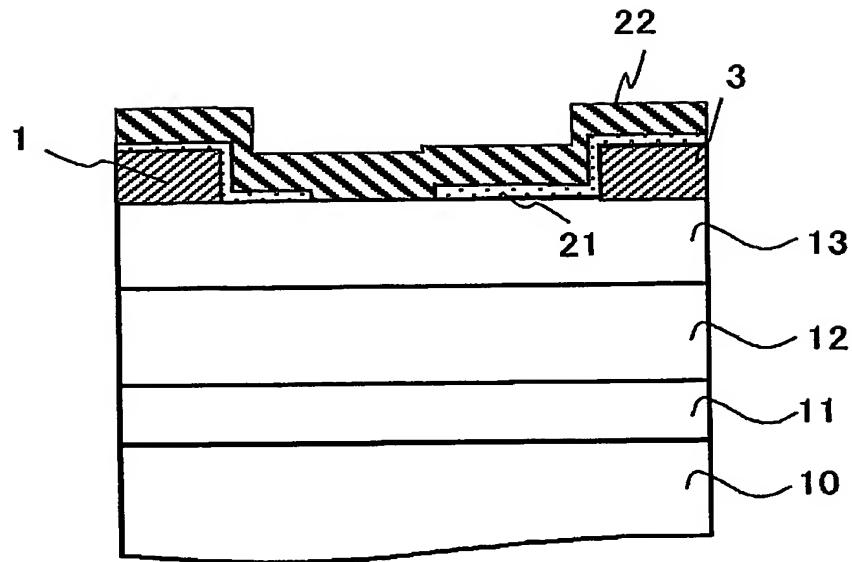


(c)

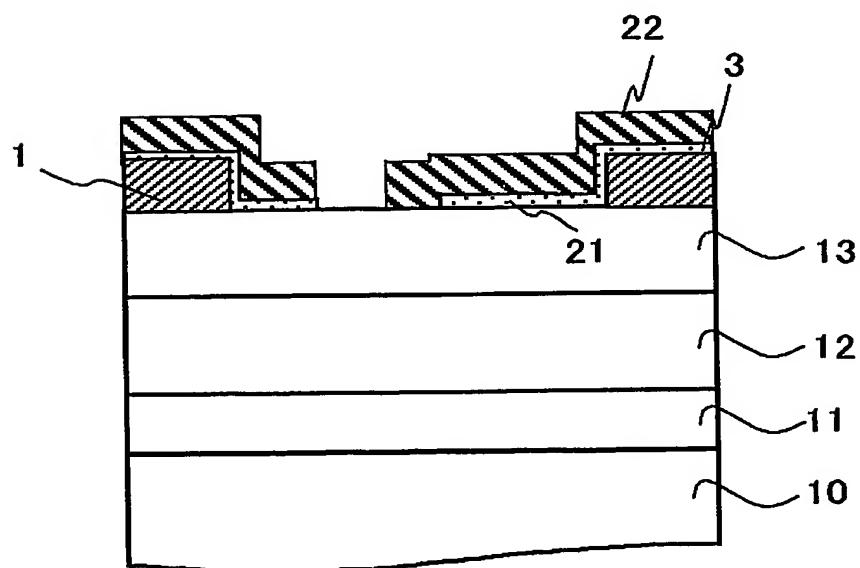


(d)

Fig.33

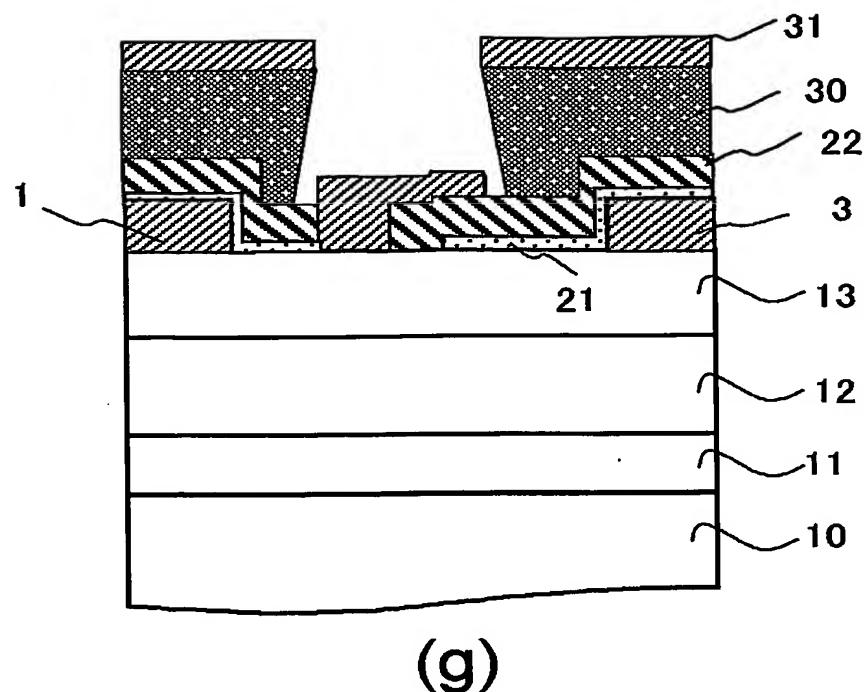


(e)

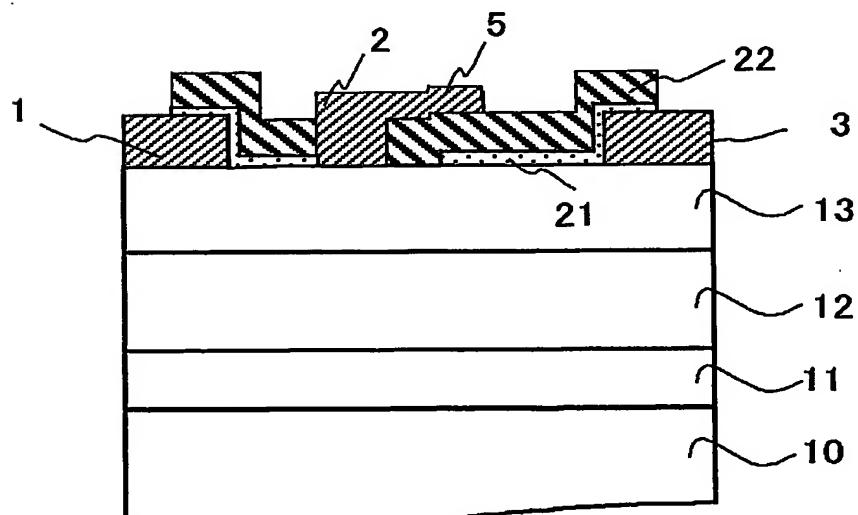


(f)

Fig.34



(g)



(h)

Fig.35

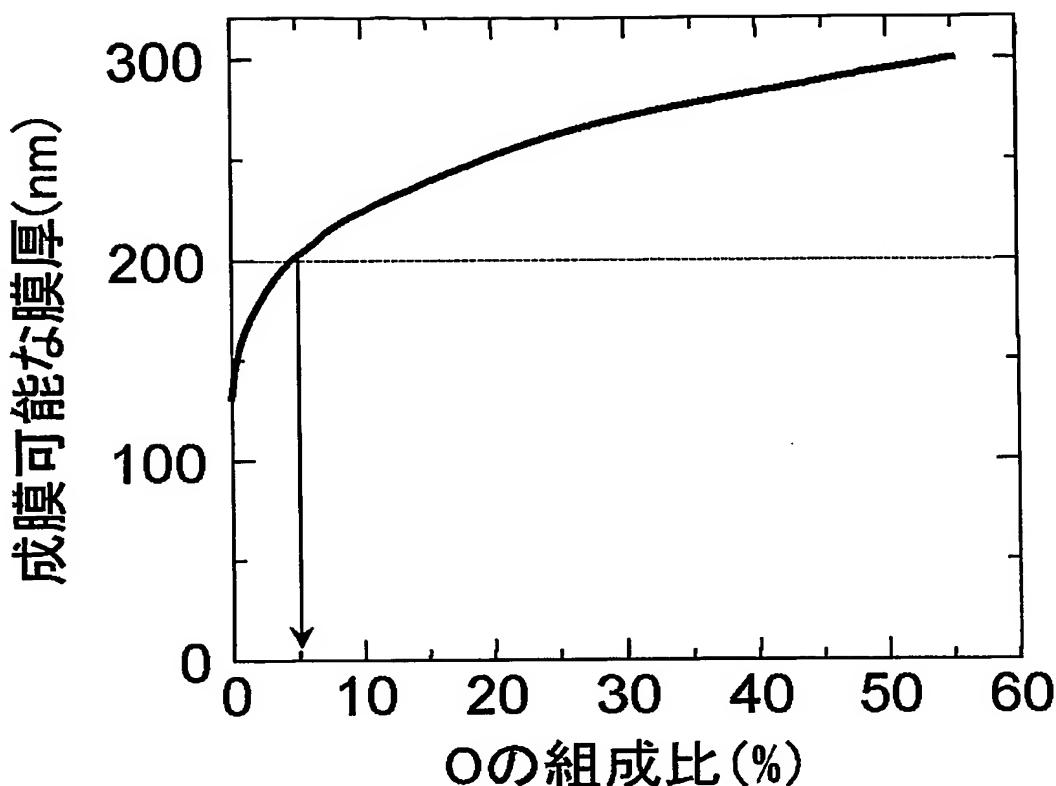


Fig.36

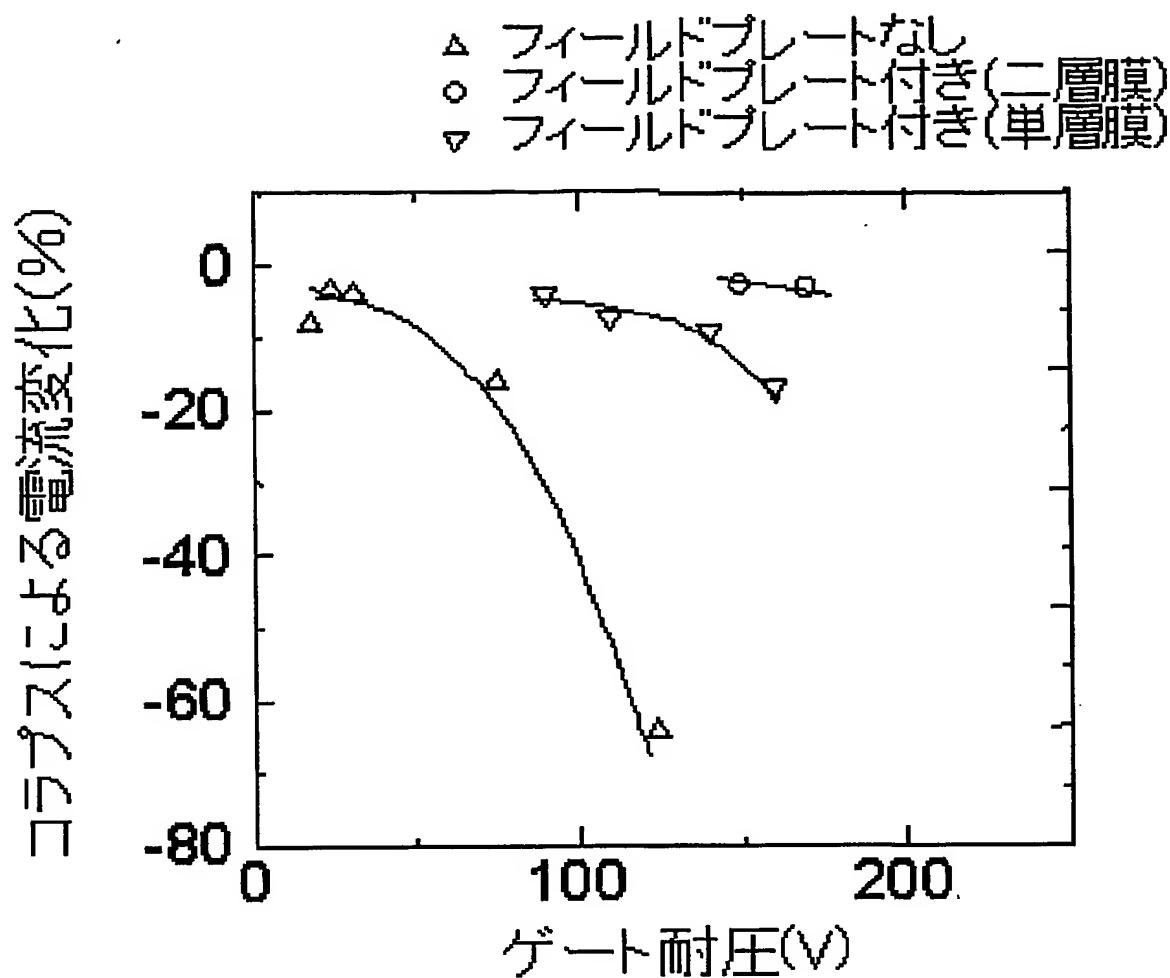


Fig.37

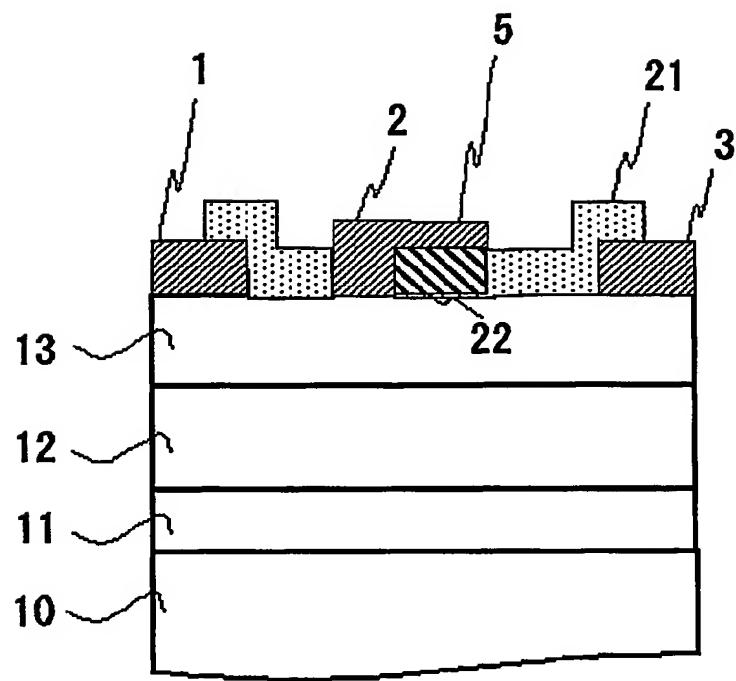


Fig.38

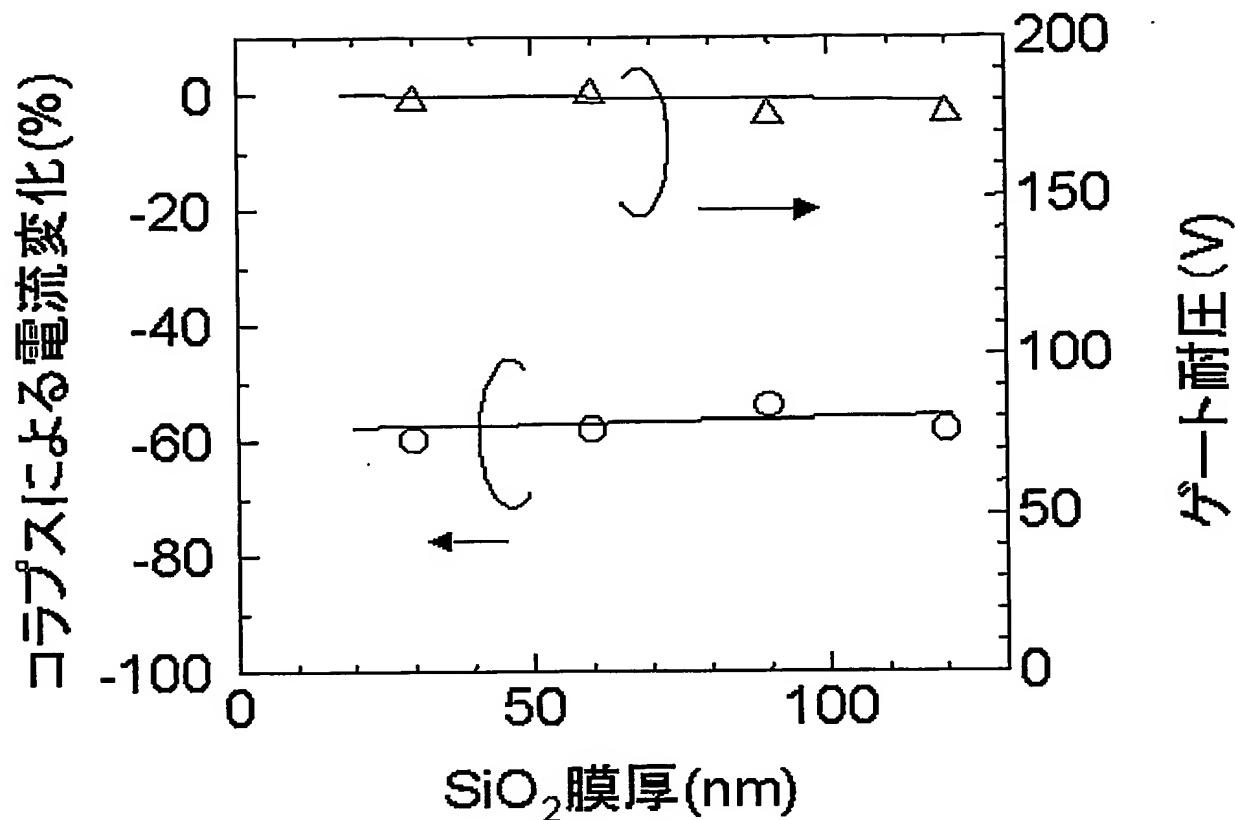
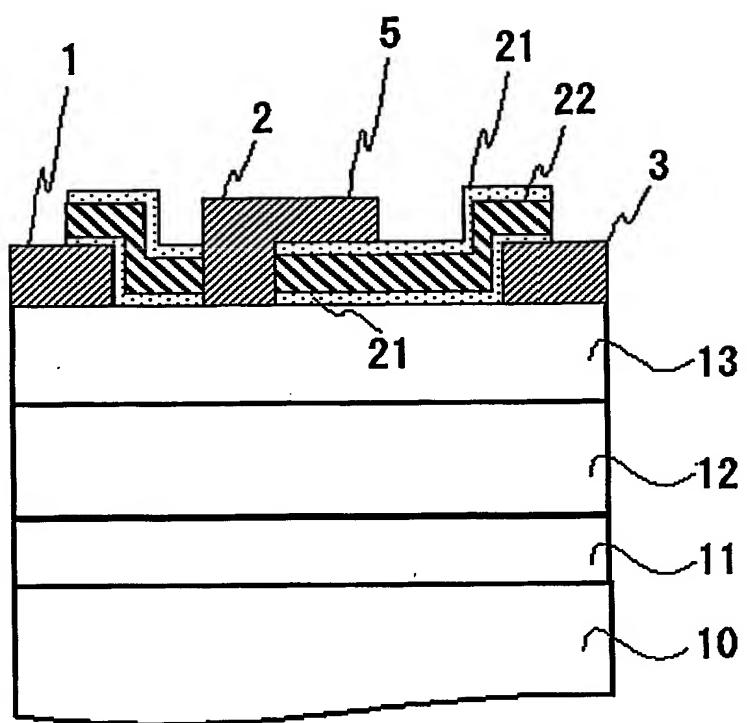


Fig.39



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP03/16034

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>7</sup> H01L29/812, H01L21/338

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01L29/778, H01L29/80, H01L29/812, H01L21/338

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004  
 Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
IEEE xplore

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-307097 A (Sony Corp.), 28 November, 1997 (28.11.97), Par. Nos. [0031] to [0055]; Figs. 4 to 9 (Family: none)	1-3, 8-9, 14-16, 18 4-7, 10-13, 17
Y	US 2002/0005528 A1 (FUJITSU QUANTUM DEVICES LTD.), 17 January, 2002 (17.01.02), Full text; all drawings & JP 2002-100642 A	1-3, 8-9, 14-16, 18
Y	JP 2000-323495 A (Sony Corp.), 24 November, 2000 (24.11.00), Full text; all drawings (Family: none)	1-3

Further documents are listed in the continuation of Box C.

See patent family annex.

- \* Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search  
22 March, 2004 (22.03.04)

Date of mailing of the international search report  
13 April, 2004 (13.04.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP03/16034

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Tan, W.S. et al., The Effect of Dielectric Stress on the Electrical Characteristics of AlGaN/GaN Heterostructure Field-Effect Transistors (HFETs), The 10th IEEE International Symposium on Electron Devices for Microwave and Optoelectronic Applications, November 2002, pages 130 to 135	8
Y	JP 2001-189324 A (Ricoh Co., Ltd.), 10 July, 2001 (10.07.01), Full text; all drawings (Family: none)	9
Y	JP 2002-359256 A (Fujitsu Ltd.), 13 December, 2002 (13.12.02), Full text; all drawings (Family: none)	14-16, 18

## A. 発明の属する分野の分類(国際特許分類(IPC))

Int. C1'  
H01L29/812 H01L21/338

## B. 調査を行った分野

## 調査を行った最小限資料(国際特許分類(IPC))

Int. C1'  
H01L29/778 H01L29/80 H01L29/812 H01L21/338

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

## 国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

IEEE explore

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 9-307097 A (ソニー株式会社) 1997. 11. 28, 【0031】段落～【0055】段落, 第4図～第9図 (ファミリーなし)	1-3, 8-9, 14- 16, 18
A		4-7, 10-13, 17
Y	US 2002/0005528 A1 (FUJITSU QUANTUM DEVICES LIMITED) 2002. 01. 17, 全文, 全図 & JP 2002-100642 A	1-3, 8-9, 14- 16, 18

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

## 国際調査を完了した日

22. 03. 2004

## 国際調査報告の発送日

13. 4. 2004

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官(権限のある職員)

小川 将之

4M 9634

電話番号 03-3581-1101 内線 3462

C(続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-323495 A (ソニー株式会社) 2000. 11. 24, 全文, 全図 (ファミリーなし)	1-3
Y	Tan, W.S. et.al, The Effect of Dielectric Stress on the Electrical Characteristics of AlGaN/GaN Heterostructure Field-Effect Transistors(HFETs), The 10th IEEE International Symposium on Electron Devices for Microwave and Optoelectronic Applications, November 2002, pp. 130-135	8
Y	JP 2001-189324 A (株式会社リコー) 2001. 07. 10, 全文, 全図 (ファミリーなし)	9
Y	JP 2002-359256 A (富士通株式会社) 2002. 12. 13, 全文, 全図 (ファミリーなし)	14-16, 18